
Rechnergestützte Konstruktion

Studienarbeit

„Elektronische Stoppuhr“

in den Semestern SS 2006 / WS 2006/07

Gruppe ntgr13

Hofmann, Stefanie
Erzen, Primoz
Uhl, Michael

Inhaltsverzeichnis:

1	PHASE PLANEN	6
1.1	Formular Entwurf.....	6
1.2	Anforderungsliste	6
1.2.1	Festforderungen	6
1.2.2	Mindestforderungen	6
1.2.3	Wünsche	7
1.3	Informationsbericht.....	8
1.3.1	Leiterplatte	8
1.3.1.1	Geschichte der Leiterplatte	8
1.3.1.2	Material	9
1.3.1.3	Herstellung	9
1.3.1.4	SMD-Leiterplatten	10
1.3.1.5	Mehrschichtplatinen	10
1.3.1.6	Flexible Leiterplatten	10
1.3.1.7	MID	10
1.3.1.8	Bauelemente auf Platinen	11
1.3.1.9	Vias in Leiterplatten	11
1.3.2	Bauelemente	12
1.3.2.1	THD	12
1.3.2.2	SMD	12
1.3.2.3	Gegenüberstellung von THD und SMD	13
1.3.2.4	Bauformen	14
1.3.2.4.1	SMD-Chip-Bauform.....	14
1.3.2.4.2	Metal Electrode Faces	15
1.3.2.4.3	Dual in-line package	16
1.3.2.4.4	SO-Bauform für ICs	17
1.3.2.4.5	SIP/SIL	18
1.3.2.4.6	BGA.....	18
1.3.3	Verbindungsverfahren.....	19
1.3.3.1	Geschichte der Lötverfahren	19
1.3.3.2	Allgemeine Informationen.....	20
1.3.3.3	Lötkolbenlöten	20
1.3.3.4	Tauchlöten.....	21
1.3.3.5	Reflow-Löten	22
1.3.3.6	Schwalllöten (Wellenlöten).....	24
1.3.3.7	Vakuumlöten.....	26
1.3.3.8	Einpresstechnik und andere Lötalternativen	26
1.3.4	Schutzgrad	27
1.4	Schaltungsunterlagen.....	29
1.5	Projekt Bericht.....	32
1.6	Personal - Zeit - Plan: Konzipieren.....	32
1.7	Fragenliste	33

2	PHASE KONZIPIEREN	34
2.1	Funktionsgliederung	34
2.2	Morphologie	35
2.3	Konzept Erzen	36
2.3.1	Mechanische Stabilität der Leiterplatte gewährleisten	37
2.3.2	Anordnung der Bauelemente realisieren	37
2.3.3	Fixierungen herstellen	37
2.3.4	Elektrische Verbindung erzeugen	38
2.3.5	Elektromagnetische Verträglichkeit gewährleisten	38
2.3.6	Schutzmaßnahmen gewährleisten	39
2.3.7	Wärmeabfuhr gewährleisten	39
2.3.8	Bauteilliste für die Stoppuhr	40
2.3.9	Lageplan der wichtigsten Schaltungsteile	41
2.3.10	Leitungsführung der wichtigsten Signale	42
2.3.11	Erstes Layout zur Ermittlung der Platinengröße und kritischen Leitungsführungen	42
2.4	Konzept Hofmann	45
2.4.1	Konzeptbegründung	46
2.4.1.1	Mechanische Stabilität der Leiterplatte gewährleisten	46
2.4.1.2	Anordnung der Bauelemente realisieren	46
2.4.1.3	Fixierung herstellen	46
2.4.1.4	Elektrische Verbindung herstellen	47
2.4.1.5	Elektromagnetische Verträglichkeit gewährleisten	47
2.4.1.6	Schutzmaßnahmen gewährleisten	48
2.4.1.7	Wärmeabfuhr gewährleisten	48
2.4.2	Leiterplatten	48
2.4.2.1	Vorläufige Bauteilplatzierung der Sender-Leiterplatte	48
2.4.2.2	Pads und Durchkontaktierungen der Oberseite	49
2.4.2.3	Platzierung und Kontaktierung der Bauteile mit Hilfe des Programms Eagle	50
2.4.2.4	Vorläufige Bauteilplatzierung der Empfänger- und Uhr-Leiterplatte	51
2.4.2.5	Pads und Durchkontaktierungen der Oberseite	52
2.4.2.6	Platzierung und Kontaktierung der Bauteile mit Hilfe des Programms Eagle	53
2.4.3	Bauteileliste	54
2.5	Konzept Uhl	56
2.5.1	Mechanische Stabilität der Leiterplatte gewährleisten	57
2.5.2	Anordnung der Bauelemente realisieren	57
2.5.3	Fixierungen herstellen	58
2.5.4	Elektrische Verbindungen erzeugen	59
2.5.5	Elektromagnetische Verträglichkeit gewährleisten	60
2.5.6	Schutzmaßnahmen gewährleisten	60
2.5.7	Wärmeabfuhr gewährleisten	60
2.5.8	Leiterplatten	61
2.5.8.1	Vorläufige Bauteileplatzierung und Leitungsführung der Senderleiterplatte	61
2.5.8.2	Vorläufige Bauteileplatzierung und Leitungsführung der Empfänger-Uhren-LP	62
2.6	Funktionsabschätzung	63
2.7	Projekt-Bericht	66
2.8	Personal-Zeit-Plan: Entwerfen	66

2.9	Fragenliste	67
3	PHASE ENTWERFEN	68
3.1	Technisch-Wirtschaftliche Bewertung	68
3.1.1	Technische Bewertung.....	68
3.1.1.1	Leiterplatte(n)	69
3.1.1.2	Verwendete Lötverfahren	69
3.1.1.3	Verwendetes Bestückungsverfahren.....	69
3.1.1.4	Bedienbarkeit.....	69
3.1.1.5	Funktionalität	70
3.1.1.6	Batterielaufzeit.....	70
3.1.1.7	Reichweite.....	70
3.1.2	Wirtschaftliche Bewertung.....	70
3.1.3	S-Diagramm	71
3.1.4	Auswahl eines Konzepts	71
3.2	Entwurf.....	72
3.2.1	Librarian	72
3.2.2	Package	74
3.2.3	Layout.....	79
3.3	Projekt Bericht.....	81
3.4	Personal-Zeit-Plan: Ausarbeiten	81
3.5	Fragenliste	82
4	PHASE AUSARBEITEN.....	83
4.1	Ausarbeitung (Fablink)	83
4.1.1	Hauptzeichnung	84
4.1.2	Stückliste	86
4.1.3	Lageplan.....	87
4.1.4	Bohrplan	89
4.1.5	Layoutzeichnung	90
4.2	Beschreibung	91
4.3	Projekt-Bericht.....	91
4.4	Fragenliste	92
5	REPORTS	93
6	ANHANG U.....	102
7	ANHANG Z.....	127



8 QUELLENVERZEICHNIS 139

1 Phase Planen

1.1 Formular Entwurf

[Bearbeiter: Uhl]

1.2 Anforderungsliste

[Bearbeiter: Erzen, Hofmann, Uhl]

1.2.1 Festforderungen

- Funktion laut Schaltungsunterlagen
- Verbindungsart: Lötverbindungen
- Bauelementebestückung : einseitig
- Leiterplattengeometrie: rechteckig
- Schutzart: IP 20
- Schutzklasse: 3 (Schutzkleinspannung)
- Fertigungsumfang: Mittelserie

1.2.2 Mindestforderungen

- Leiterplattenanzahl: max. 2
- Leiterplattengröße: max. 100 x 160 mm
- Gehäuse: Ober- und Unterseite mind. perforiert
- Leiterplattenart: max. 2 Ebenen
- Gehäuseinnenraumtemperatur: max. 70°C
- MTBF: min. 5000h
- Umgebungstemperatur: -10 - 65°C
- Luftfeuchtigkeit: 10 - 80%
- Einhaltung der EMV

1.2.3 Wünsche

- Minimierung der Schaltung
- Minimierung der Fertigungskosten durch geeignete Maßnahmen
- Einsatz von umweltschonenden und recyclingfähigen Materialien
- Umweltschonende Fertigung
- Geringer Energieverbrauch

1.3 Informationsbericht

[Bearbeiter: Erzen, Hofmann, Uhl]

1.3.1 Leiterplatte

Eine Leiterplatte, auch als Platine oder gedruckte Schaltung (engl. printed circuit board, PCB bzw. printed wiring board, PWB) bezeichnet, dient der Halterung und der elektrischen Verbindung von elektronischen Bauteilen ohne die Verwendung von herkömmlichen Drähten, indem die Verbindungen aus einer oder mehreren leitenden Schichten hergestellt werden, die sich auf einem Isolierstoff befinden.

1.3.1.1 Geschichte der Leiterplatte

Der Einsatz von Leiterplatten begann Anfang der 1950er Jahre - bis dahin wurden elektronische Bauteile frei verdrahtet, sie hingen also in der Luft und waren nur an den Enden festgelötet. Bei gedruckten Schaltungen werden dagegen die Anschlussdrähte der Bauteile von oben durch Bohrlöcher durch die Leiterplatte gesteckt (engl. *Through Hole Technology, THT*) - eine auch heute noch weit verbreitete Technologie. Auf der Unterseite (Löt-, Leiter- oder L-Seite) befanden sich die Kupferleiterbahnen, an denen sie festgelötet wurden. Komplexere einlagige Leiterplatten erfordern zusätzliche Verbindungen, die nicht im Layout herstellbar sind - diese werden durch Lötbrücken mittels abgewinkelter Drähte oder sog. Null-Ohm-Widerstände / Jumper (besseres Handling durch Bestückungsautomaten) hergestellt. Später nutzte man für diese Verbindungen Kupferbahnen auf beiden Seiten der Leiterplatte (doppellagige Leiterplatte, DL). Verbindungen zwischen oberer (Bestückungs- oder B-Seite) und unterer Seite wurden durch Anlöten eingepresster Stifte oder Niete erzeugt. Erst in den 1960er Jahren wurden diese Verbindungen (Durchkontaktierungen, DK, engl. *vias*) durch die Leiterplatte hindurch chemisch durch Metallisierung der Lochwände der Bohrungen erzeugt. Aus Kostengründen werden auch heute noch einlagige Leiterplatten hergestellt, die jedoch oft auf der Leiterseite SMD-Bauteile tragen. Einlagige Leiterplatten haben zur besseren Bestückung bedrahteter Bauteile oft konische Bohrungen. Es muss festgestellt werden, dass trotz der Tatsache, dass es bereits seit ca. 30 Jahren Bestückungsautomaten gibt, ein großer Teil der weltweit hergestellten Leiterplatten von Hand bestückt wird. Moderne Leiterplatten mit hoher Packungsdichte und SMD-Bauteilen können jedoch nicht von Hand bestückt werden. Sogenannte *pick & place* - Automaten übernehmen die Handhabung der oft unter 1mm großen Bauteile.

In den 1960er Jahren zeichnete man das Layout (Leiterbahnen-Struktur) im Maßstab 2:1 mit Tusche, oder in Klebtechnik mit Layoutsymbolen und Kleberollen (Brady) auf Rasterfolien. Später erstellte man an Programmierarbeitsplätzen NC-Programme zur Steuerung eines Lichtzeichengerätes, welches den zur Fotolithografie erforderlichen Film herstellte. Später verwendete man Computer, um die Zeichnungen der verschiedenen Kupfer- und Drucklagen sowie das NC-Steuerprogramm für die

Herstellungen der Bohrungen zu erzeugen. Neuere Layoutprogramme ermöglichen die Erzeugung eines Verbindungsplanes und der entsprechenden Darstellung ("Rattennest") aus einem Stromlaufplan und beinhalten umfangreiche Bauteil-Bibliotheken, in denen für jedes Bauteil auch die Gehäusebauformen, technische Daten und die Löt pads ("Footprint") enthalten sind. Die automatische Layouterstellung bzw. Verlegung der Leiterbahnen anhand eines gegebenen Stromlaufplanes (Platzierung der Bauteile und Entflechtung (Routen) der elektrischen Verbindungen) ist heute Standard, stößt jedoch noch an die Grenze der Rechenleistung moderner Computer, sodass man Leiterbahnen oft von Hand nachverlegen muss. Moderne Software kann inzwischen ansatzweise auch EMV-Aspekte und die Strombelastbarkeit der Leiterbahnen berücksichtigen.

1.3.1.2 Material

Einfache Leiterplatten bestehen aus einer oder zwei Kupferschichten, die auf einem elektrisch isolierenden Trägermaterial (Basismaterial) aufgebracht sind. Das Basismaterial war früher üblicherweise Pertinax (Phenolharz mit Papierfasern, sog. Hartpapier FR2), heute werden - außer für billige Massenartikel - meistens mit Epoxydharz getränkte Glasfasermatten verwendet (FR4 Laminat). Dieses Material hat eine bessere Kriechstromfestigkeit und bessere Hochfrequenzeigenschaften sowie eine geringere Wasseraufnahme als Hartpapier. Für Spezialanwendungen kommen auch andere Materialien zum Einsatz, wie beispielsweise Teflon, oder Keramik (in Form von Saphir oder Aluminiumoxyd) in der Hochfrequenztechnik sowie Polyesterfolie für flexible Leiterplatten.

1.3.1.3 Herstellung

Die Herstellung der Leiterbahnen erfolgt in der Regel fotolithografisch, indem lichtempfindlicher Fotolack durch eine Maske belichtet wird, nachdem das Layout mit einer speziellen Software erstellt wurde. Nach dem Entwickeln bleibt der Lack an den Stellen auf der Leiterplatte, an denen das Kupfer stehen bleiben soll. Nun werden die freien Zwischenräume durch nasschemische Prozesse weggeätzt. Die Herstellung der Bohrungen zur Aufnahme bedrahteter Bauteile sowie für Durchkontaktierungen erfordert aufgrund der Glasfasern Hartmetallwerkzeuge. Für die Prototyp-Herstellung können die Kupferschichten auch durch Fräsen strukturiert werden. Gefräste Platinen bestehen allerdings oft nicht aus Leiterbahnen, sondern aus Flächen. Die Kupferschichten können galvanisch verstärkt werden. Wenn Bohrungen an den Innenwänden galvanisch metallisiert (Kupfer) werden, spricht man von Durchkontaktierungen. Zusätzliche metallische Schutz- und Kontaktschichten aus Nickel oder Gold können ebenfalls durch galvanische Prozesse aufgebracht werden. Danach wird ein Lötstopplack aufgebracht, der die Leiterbahnen abdeckt und nur die Lötstellen frei lässt. Damit lassen sich Lötfehler vermeiden und bei der Schwalllötung Zinn sparen. Die frei bleibenden Lötstellen (Pads und Lötaugen) können mit einem

physikalischen Verfahren (hot air leveling) mit einer Zinnschicht versehen werden, die besseres Löten ermöglicht. Oft tragen Leiterplatten einen Bestückungsdruck, der in Verbindung mit einem Stromlaufplan den Service erleichtert.

1.3.1.4 SMD-Leiterplatten

Mitte der 1980er Jahre begann man damit, die Bauteile direkt auf die Leiterbahnen zu löten. Diese oberflächenmontierten Bauelemente (engl. *Surface Mounted Devices*, *SMD*) ermöglichten es zudem, die Packungsdichte zu erhöhen, und trugen zu einer enormen Verkleinerung von elektronischen Geräten bei.

1.3.1.5 Mehrschichtplatinen

Um der Packungsdichte bei modernen SMD-Bauteilen, insbesondere bei Computern gerecht zu werden, reicht es nicht aus, wenn sich die Leiterbahnen nur auf einer Seite der Leiterplatte befinden. Nach den doppelseitigen Leiterplatten, die auf beiden Seiten der Leiterplatte eine Kupferschicht haben, begann man mehrere dünnere Leiterplatten mit sog. Prepregs aufeinander zu kleben. Diese mehrlagigen, sog. Multilayer-Leiterplatten können bis zu 48 Schichten haben.

1.3.1.6 Flexible Leiterplatten

Alternativ zu festen Leiterplatten finden auch dünne Flexleiterplatten z. B. auf Basis von Polyamid-Folien Verwendung. Die damit aufgebauten teureren Flexschaltungen sind sehr platz sparend und können durch Faltungen in engsten Strukturen z. B. in Fotoapparaten und Videokameras eingesetzt werden.

1.3.1.7 MID

MID (Moulded Interconnected Devices) heißt übersetzt spritzgegossener Schaltungsträger und vereint elektrische und mechanische Funktionen in einem Bauteil. Die Leiterbahnen werden hierbei in das Gehäuse integriert und substituieren so die konventionelle Leiterplatte. Gewicht und Einbauraum können effektiv reduziert werden.

Die am Markt derzeit überwiegend angewendeten Prozesse zur 3D-MID-Herstellung sind:

- 2-Komponentenspritzgießen
- Heißprägen
- Folienhinterspritzen
- Laserstrukturierung (additiv und subtraktiv)

1.3.1.8 Bauelemente auf Platinen

Mittlerweile werden sogar einfache passive Bauelemente, wie zum Beispiel Widerstände, mit speziellen Pasten in die verdeckten Layer eingedruckt. Dadurch kann man an der Oberfläche der Leiterplatte weitere Bauelemente einsparen. Diese Technik ist aber durch die Entwicklung kostengünstigerer Widerstandsnetzwerke wieder auf dem Rückzug.

Ebenso gibt es Versuche, aktive Bauteile teilweise ohne Außenumhüllung auf oder in Leiterplatten zu integrieren. (Chip on board, chip in board)

1.3.1.9 Vias in Leiterplatten

a) Microviatechnologie

Eine neuere Entwicklung ist die Microviatechnologie. Dabei werden Sacklochbohrungen mit $\sim 100 \mu\text{m}$ \varnothing mittels Laser in die Außenlagen eingebracht und enden auf dem Kupfer der nächsten Lage oder übernächsten Lage. Nach der Reinigung des verbliebenen Harzes werden diese Microbohrlöcher wiederum galvanisch verkupfert und somit elektrisch angebunden.

Hierbei gibt es mehrere Möglichkeiten des Lagenaufbaus:

- je eine Lage symmetrisch,
- eine Lage unsymmetrisch,
- zwei Lagen symmetrisch,
- zwei Lagen unsymmetrisch,

oder Microvias über 2 Lagen.

Bei Leiterplatten mit hoher Packungsdichte (hd-pcb, high density) ist die Microvia-Technik notwendig, da nicht mehr alle Kontakte z. B. von BGA-Bauteilen (Ball Grid Arrays) elektrisch angebunden werden können (Platzmangel wegen des kleinen Pitches (Abstand) der einzelnen Pins). So bindet man die Pads der BGAs an Microviabohrungen an, wobei darauf zu achten ist, dass der Abstand wegen des Kapillareffekts groß genug ist, die auf einer anderen Lage enden und gewährleistet so deren Entflechtung.

b) Buried-Via Technologie

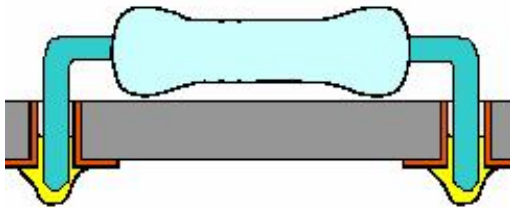
Diese Technologie ist eine Variante der Microviatechnologie. Die Vias (Durchkontaktierungen) verbinden auch hier zwei oder mehrere Kupferlagen, sind jedoch nur zwischen Innenlagen eingebracht und nicht von der Platinenoberfläche zugänglich. Buried Vias (dt.: 'vergrabene Durchkontaktierungen') sind somit nur bei Multilayer-Platinen ab 4 Lagen möglich.¹

1.3.2 Bauelemente

Hierbei wird auf die verschiedenen Bauformen der elektronischen Bauelemente eingegangen.

1.3.2.1 THD

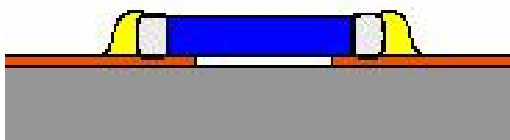
Through Hole Technology (THT)-Bauelemente (Bedrahtete Bauelemente) sind dadurch gekennzeichnet, dass ihre Drahtanschlüsse zur Montage durch Kontaktlöcher in der Leiterplatte gesteckt werden und durch spezielle THT-Lötprozesse ihre Verbindung bekommen. In den Anfängen der Baugruppen wurde ausschliesslich THT angewendet. Heute findet man oft Mischbestückungen auf den Leiterplatten, da es bei der THT zu mechanischen Spannungen im Material der Kontakte kommen kann. Man versucht komplett auf die THT zu verzichten. Bisher konnten noch nicht alle Funktionen in der SMD-Technologie (SMD: Surface Mounted Device) übernommen werden. Wo auf das THT-Verfahren nicht verzichtet werden kann, wird in Zukunft mit Reflow (siehe 1.3.3.5) gelötet.²



-Abbildung 1: THD-Bauelement -

1.3.2.2 SMD

Der Begriff Oberflächenmontierbares Bauteil (englisch *surface mounted device*, daher abgekürzt oft SMD) ist ein Fachbegriff aus der Elektronik und bezeichnet so genannte "oberflächenmontierte" Bauelemente. Diese Bauelemente (z.B. Widerstände oder Kondensatoren) haben keine Drahtanschlüsse, sondern werden mittels lötfähiger Anschlussflächen direkt auf eine Leiterplatte gelötet.



-Abbildung 2: SMD Bauelement -

Während die Anschlussdrähte konventioneller Bauelemente, wie sie bis Ende der 1980er Jahre noch allgemein üblich waren, durch Bestückungslöcher geführt werden und auf der Rückseite der Leiterplatte (oder über Innenlagen) verlötet werden müssen, entfällt dies bei SMD-Bauelementen. Dadurch werden sehr dichte Bestückungen und vor allem eine beidseitige Bestückung der Leiterplatte möglich und der Platzbedarf der Bauelemente ist geringer. Dadurch können die Geräte kleiner und zugleich wesentlich preiswerter hergestellt werden.

Für Hobbyelektroniker ergibt sich allerdings ein Nachteil, da SMD-Bauteile sich nur schwer ohne Maschinen verlöten lassen. Daher werden im Hobbybereich SMD-Bauteile so weit wie möglich vermieden.

Leiterplatten mit SMD-Bauteilen werden meist auf Lötpaste bestückt und mit dem Reflow-Verfahren gelötet. SMD-Bauteile auf der Unterseite einer mischbestückten Leiterplatte werden zuerst auf die Unterseite geklebt, und danach zusammen mit den herkömmlich bestückten Bauteilen im Wellen- oder Schwallbad gelötet.³

1.3.2.3 Gegenüberstellung von THD und SMD

Vorteile von SMD:

- Kleinere Bauteilabmessungen (ergibt höhere Bauteildichte)
- Es müssen keine Löcher in die Leiterkarte gebohrt werden (Reduzierung der "drill jobs")
- Einfache und sehr schnelle Automatenbestückung (Pick & Place)
- Bei den meisten Bauformen ist die Automatische Optische Inspektion (AOI) aller kritischen, optisch prüfbar Faktoren möglich
- Kleine Positionsfehler bei der Bauteilbestückung werden beim Löten (nur Reflow-Löten) automatisch korrigiert (die Bauteile werden durch die Oberflächenspannung des geschmolzenen Zinns in die richtige Position gezogen)
- Bauteile können auf beiden Seiten der Leiterkarte auch direkt "untereinander" bestückt werden
- Niedriger Anschlusswiderstand und Impedanz (wichtig bei Hochfrequenzbaugruppen)
- Durch den Wegfall der Anschlussdrähte reduziert sich das Gewicht von Bauelementen und in Folge das der SMD-Baugruppen erheblich
- Verträgt mechanische Vibrationsbelastungen besser.

Nachteile von SMD:

- SMD-Bauteile können durch mechanische Belastung eher abgelöst werden als bedrahtete Bauteile (besonders kritisch bei Steckern, Schaltern etc.)

- Bei Bauteilen mit Anschlüssen an der Bauteilunterseite (wie BGAs) können die Lötstellen nur mit größerem Aufwand optisch geprüft werden (Automatische Optische Inspektion)
- Durch den Reflow-Lötprozess erhalten die kompletten SMD-Bauteile eine kurze hohe Temperaturbelastung ($> 200-250^{\circ}\text{C}$), welche bei bedrahteten Bauelementen, die nur auf der Unterseite der Platine mit einer Lötwellen in Kontakt kommen, viel geringer ist⁴

1.3.2.4 Bauformen

1.3.2.4.1 SMD-Chip-Bauform

Die Chip-Bauform ist eine rechteckige Bauform für elektronische Bauteile, meist Widerstände oder Kondensatoren, die zur Gruppe der Surface Mounted Devices gehören. Die Bezeichnung der Bauformen besteht immer aus vier Ziffern. Die ersten beiden geben die Länge, die zweiten beiden die Breite des Bauteils in Mil (milli-inches) oder Millimeter an. Die Breitseite ist dabei jeweils diejenige Seite, an welcher sich die metallenen Anschlusskappen befinden (siehe Bilder). Bei einem 1812-Bauteil sind daher die Anschlüsse an der kürzeren, bei einem 1218-Bauteil jedoch an der längeren Seite (beide Bauteile sind jedoch gleich groß). Chip-Bauteile werden in elektronischen Geräten in großer Stückzahl verwendet. Aufgrund ihres geringen Preises und der leichten Verarbeitbarkeit sowie der geringen Größe werden sie im Fachjargon auch als „Vogelfutter“ bezeichnet.



- Abbildung 3:
Kondensator in der
0603 Bauform -

Da die Bauteile sehr klein sind und in der Regel größere Stückzahlen benötigt werden, werden sie in Gurten aus Karton oder Kunststoff verpackt. In den Gurten befinden sich Taschen in welchen die Bauteile liegen, die Oberseite der Tasche ist durch eine Folie verschlossen, welche abgezogen werden kann um das Bauteil zu entnehmen. Die Gurte selbst werden auf einer Rolle aufgewickelt. Auf zumindest einer Seite hat die Rolle in regelmäßigen Abständen Löcher mit denen der Gurt vom Bestückungsautomat bewegt werden kann. Das Ganze ähnelt sehr Filmen auf einer Filmrolle. Die Rollen werden auf spezielle „Feeder“ gerüstet, welche in die Bestückungsautomaten eingesteckt werden. Diese entnehmen dann je ein Bauteil mit einer Vakumpinzette (pick n' place) und setzen es auf der Baugruppe ab. Es gibt

Rollen mit unterschiedlichen Stückzahlen, beispielsweise 2500, 5000 oder 10000 Stück.

Typische Bauformen von Widerständen und Kondensatoren:

Zoll		metrisch	
Bauform	mil (milli-inch)	Bauform	mm
1206	120 × 60	3216	3,2 × 1,6
0805	80 × 50	2012	2,0 × 1,2
0603	60 × 30	1608	1,6 × 0,8
0402	40 × 20	1005	1,0 × 0,5
0201	20 × 10		0,6 × 0,3
01005	10 × 5		0,4 × 0,2

Die Höhe der Bauteile ist nicht standardisiert, bei Widerständen ist sie jedoch meist gleich, während sie bei Kondensatoren je nach Hersteller und Kapazität stark schwanken kann.⁵

1.3.2.4.2 Metal Electrode Faces

Metal Electrode Faces (MELF) sind zylinderförmige SMD-Bauteile, bei denen die Stirnflächen als Kontakte dienen. Meist handelt es sich dabei um Dioden, für die diese Bauform gewählt wird.

Aber auch für Thermistoren (NTC, PTC) und Widerstände wird die Bauform eingesetzt. Obwohl in der SMD-Technik meist Chipbauformen für Widerstände verwendet werden, ist der MELF noch anzutreffen. Hinsichtlich Impulsstrombelastbarkeit, Temperaturstabilität, Langzeitstabilität und Spannungsfestigkeit liefern MELF-Widerstände bessere Werte.⁶



- Abbildung 4: Dioden
in der Melf Bauform -

1.3.2.4.3 Dual in-line package

Das Dual in-line package (kurz DIP, auch Dual In-Line, kurz DIL) ist eine längliche Gehäuseform (Package) für elektronische Bauelemente, bei der sich zwei Reihen von Anschlussstiften an gegenüberliegenden Seiten des Gehäuses befinden. Die Bauform kann THD zugeschrieben werden. Die Anschlussstifte sind dazu bestimmt, durch Löcher einer Leiterplatte hindurchgesteckt und von der Unterseite der Leiterplatte her verlötet zu werden (Durchkontaktierung im Gegensatz zu oberflächenmontierten Gehäusen). Bauteile in DIP-Gehäusen können auch in spezielle Sockel gesteckt werden.

Dies ist die klassische Gehäusebauform für Integrierte Schaltungen. Es gibt aber auch andere Bauelemente in DIP-Gehäusen, wie z.B. Relais, kleine Schalter (DIP-Schalter) oder Widerstands-Netzwerke.



- Abbildung 5: DIP-Schalter -

Die Gehäuse haben meistens zwischen 8 bis 48 Pins und einen Körper aus Kunststoff oder Keramik. Die Keramikversion wird auch als CERDIP bezeichnet. Für Optokoppler werden oft vier- oder sechsbeinige Gehäuse eingesetzt. Aufgrund der zunehmenden Miniaturisierung, sowie der steigenden Anzahl an benötigten Anschlüssen bei Integrierten Schaltungen, ist der Einsatz des DIP-Gehäuses seit den 1990ern stark rückläufig.

Nachdem SMD als Standard etabliert wurde, stieg die Nachfrage nach entsprechenden Bauteilen explosionsartig an. Insbesondere die Computerindustrie fragte SMDs in großer Stückzahl nach. Um den Bedarf decken zu können und um die bereits produzierten DIL verkaufen zu können, begannen die Hersteller DILs in SMDs umzuarbeiten indem sie die Pins unterhalb der Bauteilkörperunterkante rechtwinklig nach außen bogen. Eine SMD-Variante der DIL entstand.

- Vorteile von DIL(SMD) gegenüber der SO-Bauform
 - Maschinen für DIL mussten nur geringfügig modifiziert werden.
 - Bauteile waren zu Beginn des SMD Zeitalters besser verfügbar.
 - Aufgrund der breiteren Pins und des grösseren Pinabstandes höhere Spannungen/Ströme möglich.
 - Größere Gehäuse ermöglichen Verwendung für Relais.

- Nachteile von DIL(SMD) gegenüber der SO-Bauform
 - Größerer Platzbedarf
 - Höheres Gewicht⁷



- Abbildung 6: DIL6 Bauform -

1.3.2.4.4 SO-Bauform für ICs

SO steht für *Small Outline* („kleiner Grundriss“) und bezeichnet eine Gehäuseform für integrierte Schaltkreise. SO-ICs sind 30-50 % kleiner als entsprechende DIL-ICs. Es handelt sich dabei um eine *Surface-Mounted-Device*-Bauform, also eine „oberflächenmontierte“. Die Grundfläche ist rechteckig, und es sind zwei Pinreihen auf den längeren Seiten vorhanden. Die Pins sind vom Typ *gull wing*, stehen also seitlich ab.

Diese Bauform wird oft für Speicherbausteine eingesetzt, beispielsweise SO-DIMMs und SO-RIMMs.⁸



- Abbildung 7: SO14
Bauform -



- Abbildung 8: Gull wing -

1.3.2.4.5 SIP/SIL

Das Single In-Line Package (SIP) ist eine elektronische Bauform, die ein Bauteil mit einer Reihe Kontaktpins bezeichnet. Die Bauform gehört zur Kategorie der Through Hole Technology Bauteile.⁹



- Abbildung 9: SIP-Baustein -

1.3.2.4.6 BGA

Ball Grid Array (BGA) ist eine Gehäuseform von Integrierten Schaltungen, bei der die Anschlüsse für SMD-Bestückung kompakt auf der Unterseite des Chips liegen.

Die Anschlüsse sind kleine Lotperlen (engl. *balls*), die nebeneinander in einem Raster (engl. *array*, Reihung) aus Spalten und Zeilen stehen. Diese Perlen werden beim Löten (Reflow-Löten) in einem Lötoven aufgeschmolzen und verbinden sich mit dem Kupfer der Leiterplatte.

Die Chips können mit heutiger Technik trotz der Verlötung wieder von der Leiterplatte entfernt werden (Ablöten), ohne Schaden zu nehmen. Die Chips werden anschließend von den alten Lotperlen befreit (entlotet, engl. *deballing*), gereinigt und mit neuen Lotperlen bestückt (Neubepерlung, engl. *reballing*). Die Chips können anschließend auf eine neue Leiterplatte gelötet werden. Diese Technik kann auch verwendet werden, um bei der Reparatur von Leiterplatten defekte Chips auszutauschen.

Vorteile:

- geringer Platzbedarf
- selbstzentrierung beim Löten aufgrund der Oberflächenspannung des Zinns

Nachteile:

- gut eingestellte Reflow-Lötanlage erforderlich
- Inspektion und Reparatur der Lötstellen ist erschwert. Neben Röntgen- und Ultraschallverfahren ist die direkte optische Inspektion nur eingeschränkt möglich

Verschiedene Typen:

- FBGA - Fine Pitch BGA, BGA Package mit verringertem Lötunktanstand
- CBGA - Ceramic Ball Grid Array, wie BGA im Keramikgehäuse
- CSP - Chip Scale Package, besonders kleine Form des BGA¹⁰



- Abbildung 10: BGA -

1.3.3 Verbindungsverfahren

1.3.3.1 Geschichte der Lötverfahren

Löten ist eine sehr alte Technik, die nachweislich schon um 5000 v. Chr. und vermutlich auch schon davor bekannt war. Die damals bekannten Metalle Gold, Silber und Kupfer wurden zu Kult-oder Schmuckgegenständen verarbeitet, wobei das Löten als Verbindungstechnik zum Einsatz kam. Beim sogenannten Reaktionslöten (oder auch Diffusionslöten) werden Kupfersalze in der CO-Atmosphäre des Holzkohlefeuers reduziert, und die Kupferanteile ergeben bei der chemischen Reaktion mit Gold oder Silber eine lötfähige Legierung. Das entstehende Eutektikum hat einen niedrigeren Schmelzpunkt als die reinen Metalle Gold, Silber und Kupfer. Gegenüber den Schmelztemperaturen von Gold (1063°C), Silber (961°C) und Kupfer (ca. 1100°C) hat eine Legierung 66,5 % Au/Rest Kupfer einen Schmelzpunkt von 889°C. Als Basis für das Kupfersalz kam z. B. Kupferkarbonat in Form von pulverisiertem Malachit, sowie Beimischungen von Alaun und Soda/Natron-Bindemittelgemischen als "Kleber" zum Einsatz. Durch Abbildungen in altägyptischen Gräbern sind Goldarbeiter mit Blasrohr vor einem Holzkohlefeuer bekannt. Erst später kam die heute bekanntere Technik zum Einsatz, eine bereits vorhandene Legierung als Lotzugabe einzusetzen.

1.3.3.2 Allgemeine Informationen

Als Material einer Lötverbindung werden Lote verwendet. Je nach Anwendungsfall und Beanspruchung der Verbindung werden so genannte Hart- und Weichlote verwendet.

Der Übergang von Weich- zu Hartloten bildet die Liquidustemperatur des Lotes und wurde mit 450°C definiert.

Wegen der guten technischen Beherrschbarkeit und des niedrigen Schmelzpunkts enthalten eine Reihe von Loten Blei. Wegen des Risikos für Gesundheit und Umwelt muss dieses bis 1. Juli 2006 im Elektronikbereich wegen Problemen des vollständigen Recyclings ersetzt werden (RoHS DIR 2002/95/EG). Privat und für begrenzte Einsatzgebiete dürfen weiterhin bleihaltige Lote verwendet werden!

Damit der oben beschriebene Diffusionsprozess stattfinden kann, müssen alle Metalloberflächen blank und somit frei von Oxiden und Verschmutzungen sein.

Fast ausnahmslos werden Lötungen mit Lufteinwirkung ausgeführt. Schon während der Erwärmung der Lötstelle begünstigt der Sauerstoffanteil der Luft eine Oxidation der Oberflächen, die eine zuverlässige und damit erfolgreiche Lötung fraglich werden lassen. Daher wird in solchen Fällen vor dem Lötvorgang ein so genanntes Flussmittel aufgetragen. Das Flussmittel reduziert (entoxidiert) die Oberfläche beim Löten und soll die erneute Oxidbildung vor und während des Lötvorgangs verhindern, da sonst die Fließ- und Benetzungseigenschaften stark reduzieren würden und weiterhin um Einschlüsse von Fremdstoffen zu verringern. Ein weiterer Effekt ist das Verringern der Oberflächenspannung des flüssigen Lotes.

Die Art der Flussmittel ist vom Anwendungsgebiet abhängig.

Die meisten Flussmittel müssen nach der Lötung beseitigt werden, da sie sonst korrosiv wirken.

In Spezialfällen, vor allem aus Kostengründen in der Großserienfertigung, wird unter Schutzgas und ohne zusätzliches Flussmittel gelötet. Das Schutzgas verhindert die Oxidation.

Die Wärmeeinbringung erfolgt mittels eines Lötkolbens, einer (Gas)Flamme, Heißluft, Wärmestrahlung, Laser oder Induktion; in manchen Fällen auch mittels Ultraschall oder Elektronenstrahl.¹¹

1.3.3.3 LötKolbenlöten

Man unterscheidet zwischen elektrischen und gasbeheizten LötKolben.

Der elektrische LötKolben kann entweder mit innen- oder außenbeheizten, in der Regel austauschbaren Lötspitzen bestückt werden. Bei temperaturgeregelten LötKolben und Lötstationen befindet sich in der Nähe der Spitze entweder ein Temperatursensor oder es wird der Widerstand des Heizelements, der temperaturabhängig ist, ausgewertet. Eine Sonderform sind Geräte, bei denen Spitzen eingesetzt werden, die magnetisch einen Schalter betätigen (Magnastat).

Oberhalb bestimmter Temperaturen verlieren diese Spitzen ihre magnetischen Eigenschaften, wodurch die Heizung abgeschaltet wird. Diese Konstruktion hat ausgezeichnete Löteigenschaften und reagiert sehr schnell auf Temperaturänderungen, allerdings ist ein Wechsel der Temperatureinstellung nur relativ umständlich durch Austausch der Spitze und nicht stufenlos möglich.

Der Kern der Lötspitzen, der gut wärmeleitend sein muss, besteht meist aus Kupfer oder kupferhaltigen Legierungen, die vom Lötzinn schnell "ausgewaschen" werden. Lötspitzen werden daher meist mit einer dünnen, widerstandsfähigeren Metallschicht überzogen, zum Beispiel Nickel.

Um eine Lötverbindung wieder aufzulösen und von dem bindenden Metall zu reinigen, verwendet man meist Entlötlitze oder eine Entlötpumpe.

Elektrische LötKolben gibt es mit Heizleistungen ab etwa sechs Watt (MikrolötKolben) bis zu mehreren hundert Watt und müssen je nach Aufgabengebiet entsprechend ausgewählt werden. Leistungsfähige temperaturgeregelte Lötstationen mit auswechselbaren Spitzen sind dagegen sowohl für sehr feine, aber auch für mittlere Arbeiten geeignet.

In der industriellen Produktion, aber auch im Handwerk ist das zeitaufwendige Löten in vielen Bereichen durch mechanische Verbindungstechniken, wie z. B. Crimpen, Einpresstechnik, Wrappen und verschiedenste Klemm- und Stecktechniken verdrängt worden.

Eine andere Bauform eines elektrischen LötKolbens ist die Lötpistole. Die Lötpistole besitzt eine Lötspitze, die als Metallschleife ausgebildet ist und - anders als beim elektrischen LötKolben durch ein Heizelement - direkt durch einen sehr hohen Strom, der durch die Schleife fließt, erhitzt wird. Der hohe Strom wird mit Hilfe eines eingebauten Transformators erzeugt, dessen niedrige Leerlaufspannung auch bei Defekten an der Lötspitze kein Sicherheitsrisiko darstellt. Lötpistolen haben gegenüber LötKolben den großen Vorteil einer sehr kurzen Anheizzeit von nur wenigen Sekunden. Sie werden daher meist nur durch einen im Handgriff befindlichen Taster eingeschaltet und können nicht versehentlich eingeschaltet liegen bleiben. Lötpistolen haben Leistungen ab etwa 100 Watt und sind für Arbeiten an Elektronikkomponenten nicht geeignet.¹²

1.3.3.4 Tauchlöten

Beim Tauchlöten wird das Werkstück ganz oder teilweise in das flüssige Lot eingetaucht, um die Lötstelle intensiv zu erhitzen. Dieses Verfahren erhöhte bei der Herstellung von einseitig bestückten Leiterplatten die Arbeitsproduktivität gegenüber der arbeitsintensiven Verlötung mittels LötKolben, da nun alle Lötstellen der Leiterplatte gleichzeitig verlötet werden konnten. Später wurde das Tauchlöten durch das Schwalllöten abgelöst.

Mit Einführung der SMD-Technik spielte das Tauchlöten praktisch keine Rolle mehr. Heute sind in der Elektroindustrie das Wellen- und Schleplöten sehr weit verbreitet. Mit diesen Verfahren können durchaus einfache SMD-Bauelemente bei angepasster Bestückungsdichte gelötet werden. Allerdings stößt die Anwendung dieser

Standardverfahren bei höherer Bestückungsdichte und bei schwieriger zu lötenen Bauelementen sehr schnell auf Grenzen. Hier bringt die stark zunehmende Anwendung von Lötanlagen mit Doppelwelle weitere Verbesserungen.¹³

1.3.3.5 Reflow-Löten

Der Begriff Wiederaufschmelzlöten oder englisch Reflow-Löten bezeichnet ein in der Elektrotechnik gängiges Weichlötverfahren zum Löten von SMD-Bauteilen. Bei der Herstellung von Dickschicht-Hybridschaltungen ist es das häufigste Lötverfahren.

Lötvorgang:

- Im ersten Schritt wird beim Reflow-Löten das (Weich)lot *vor* der Bestückung auf die Platine aufgetragen. Hierin liegt der Hauptunterschied zu anderen Lötverfahren, wie LötKolbenlöten, Tauchlöten oder Wellenlöten. Es gibt verschiedene Möglichkeiten des Lotauftrags, z.B. mittels Schablonendruck (Siebdruck), Dispenser, durch Lotformteile oder auch galvanisch.
- Im nächsten Schritt werden dann die Bauteile bestückt. Die Verwendung von Lotpaste hat den Vorteil, daß diese klebrig ist und so die Bauteile bei der Bestückung direkt an der Paste halten. Sie müssen also nicht eigens aufgeklebt werden.
- Beim Aufschmelzen des Lotes zentrieren sich die bestückten Bauteile durch die Oberflächenspannung auf den Landepads und setzen sich ab.

Hierbei unterscheidet man nochmals folgende Lötverfahren:

Heizplatte:

Das mit Bauelementen bestückte Trägersubstrat wird auf eine Heizplatte gelegt und aufgeheizt. Nachdem das Lot gleichmäßig geschmolzen ist, wird das Trägersubstrat von der Platte genommen. Dieses Verfahren kann bei anorganischen Trägersubstraten eingesetzt werden. Hierbei wird das gesamte Trägersubstrat auf Löttemperatur gebracht. Organische Träger sind normalerweise infolge ihrer Glasübergangstemperatur (z. B. Glasübergangstemperatur bei Standardleiterplatte ca. 140 °C) für das Kontaktlötverfahren auf der Heizplatte nicht geeignet. Es ist beim Kontaktlötverfahren einseitige Bestückung möglich. Es gibt Systeme, bei denen das bestückte Trägersubstrat durch ein gleichzeitig angewendetes Vakuumverfahren lunkerfreie und daher extrem zuverlässige Lötverbindungen aufweist. Hauptanwendungsgebiete des Vakuumkontaktlöten sind das Löten von Leistungshalbleiterchips (Löten ohne gasförmige Einschlüsse), das hermetische Verschließen mittels Löten und das flußmittelfreie Kontaktieren. Durch den Einsatz einer Vakuumkammer kann inertes Prozessgas wie Stickstoff, reduzierendes Prozessgase wie Formiergas und Wasserstoff oder nassaktivierende Ameisensäure geregelt im Lötprozess eingesetzt werden.

Beheizte Formteile, Bügel und Stempel:

Ein auf die Gehäuseform des zu lötenden Bauteils angepasster Stempel oder Bügel wird mit einer Widerstandsheizung erwärmt. Dieser drückt dann die Bauteilanschlüsse auf die Lötstelle und schmilzt das Lot auf. Die Heizung wird dann abgeschaltet und der Stempel erst nach dem Erstarren wieder abgehoben. Die Lötstellen federnder Bauteilanschlüsse können so sicher gelötet werden. In der Regel werden so nur einzelne Bauteile nacheinander gelötet.

Infrarotstrahler:

Die zu lötenden Platinen werden in Durchlauflötrecken gelötet. Das Lötgut wird dabei von einem Fördersystem durch einen Ofen gefahren. Der Lötvorgang kann durch die Verweildauer in den verschiedenen Temperaturzonen gesteuert werden. Üblicherweise gibt es vier Zonen, eine zum Aufwärmen der gesamten Schaltung, die zweite zum Aktivieren des Flussmittels, die dritte zum Löten und die vierte zum Abkühlen. Das Reflowlöten mit Infrarotstrahler ist ein einfaches Verfahren, um Platinen in Serie zu fertigen. Wegen Abschattungseffekten bzw. der farbabhängigen unterschiedlichen Erwärmung von Bauelementen ist das Infrarotlöten nicht mehr Stand der Technik. Ersetzt wurde es durch das Konvektionslöten.

Vollkonvektions-Reflow-Löten:

Die Vollkonvektions-Reflow-Lötsysteme ähneln den Infrarotstrahler-Systemen, jedoch wird hierbei Luft erhitzt und über ein Düsensystem an das Lötgut geführt. Dadurch erreicht man eine gleichmäßigere Wärmeverteilung, als es mit Infrarotstrahlern möglich ist. Ein weiterer Vorteil ist die größere Wärmekapazität des Ofens.

Dampfphase (Kondensationslöten):

Das Dampfphasenlöten ist ein relativ komplexer Prozess. Hierbei wird die Energieabgabe beim Kondensieren von heißem Dampf an den kalten Teilen des Lötguts zum Erwärmen genutzt. Das Lötgut wird in eine Dampfatmosphäre eingebracht, diese umgibt eine zweite Schutzatmosphäre, die verhindern soll, daß sich die Gase frei verteilen können. Die maximale Löttemperatur ist dabei durch die Temperatur des Dampfes sehr genau definiert. Die Wärmeübertragung ist schnell und geometrieunabhängig. Durch die genau definierte Löttemperatur und die gleichförmige Erwärmung sind keine Überhitzungen der Bauteile möglich. Durch die inerte Gasatmosphäre findet keine Oxidation statt. Dies ermöglicht ein Löten ohne Flussmittel. Der Umgang mit den Gasen war in der Vergangenheit nicht unproblematisch, da diese gesundheitsschädlich und FCKW-haltig waren. Mittlerweile gibt es deutlich unkritischere Substanzen, z. B. Perfluoropolyether (PFPE). Einsatzschwerpunkt ist die Serienproduktion.

Laserstrahl:

Die Lötstellen werden mit einem Laserstrahl erhitzt, dieser kann punktgenau sehr viel Energie übertragen. Die Lötstelle wird zeitlich (Lötzeit ca. 0,2s - 0,4s) und räumlich sehr eng begrenzt erwärmt. Dadurch tritt an den Bauteilen nahezu keine thermische Belastung auf. Ein Ablegieren der Leiterbahnen kann vermieden werden. Aufgrund der hohen Kosten ist dieses Verfahren eigentlich nur in der Massenproduktion oder bei hochempfindlichen Bauteilen rentabel.¹⁴

1.3.3.6 Schwalllöten (Wellenlöten)

Wellenlöten oder Schwalllöten ist ein Lötverfahren, mit dem elektronische Baugruppen (Leiterplatten) halb- oder vollautomatisch nach dem Bestücken gelötet werden. Das Schwalllötverfahren kann als die günstigste Alternative zum verlöten von THD-Bauelementen betrachtet werden.

Vorbereitung:

Die Lötseite der Leiterplatte wird zunächst mit einem Flussmittel benetzt. Dies kann durch aufsprühen (Sprayfluxen) oder aufschäumen (Schaumfluxen) geschehen. Danach wird die Leiterplatte mittels Konvektionsheizung oder Infrarot-Strahlern vorgeheizt. Dies geschieht zum einen um den Lösungsmittelanteil des Flussmittels zu verdampfen (sonst Blasenbildung beim Lötvorgang) und um einen Temperaturverzug der Baugruppe durch einen zu steilen Temperaturanstieg beim nachfolgenden löten zu vermeiden.

Lötvorgang:

Nun wird die Baugruppe über eine Lotwelle gefahren. Die Lotwelle wird durch pumpen von flüssigem Lot durch einen Spalt erzeugt.

Parameter:

Die Löttemperatur liegt bei bleihaltigen Loten bei ca. 250° C bei bleifreien Loten ca. 270C°.

Die Lötzeit ist so zu wählen, dass die Erwärmung die Leiterplatte und die wärmeempfindlichen Bauelemente nicht schädigt. Die Lötzeit ist die Berührzeit des flüssigen Lotes pro Lötstelle. Die Richtzeiten betragen für einseitig kaschierte Leiterplatten weniger als eine Sekunde und bei zweiseitig kaschierten Leiterplatten nicht mehr als zwei Sekunden. Bei Mehrleiterplatten gelten individuelle Lötzeiten.

Die Eintauchtiefe der Leiterplatte ist so einzustellen, dass ein Überspülen derselben von der Welle nicht möglich ist.

Der Durchzugswinkel liegt zwischen 5 bis 10°. Die Neigung der Transportbahn zum Lotschwall richtet sich nach dem Verlauf der Stiftreihen der Bauelemente. Bei

überwiegend in Längsrichtung zum Schwall - also fließtechnisch günstigen verlaufenden Leitern - ist der Durchzugswinkel flacher zu wählen als bei überwiegend quer liegenden Stiftreihen. Bei größeren zusammenhängenden Kupferflächen (Schirmflächen) auf der Lötseite ist flach zu fahren, weil sonst das Lot an den Flächen ungehindert an der Leiterplatte entlang aus dem Lotbehälter der Wellenlötanlage fließen kann. Die Einstellung des Durchzugswinkels bestimmt auch die Lotdicke an den Lötstellen. Je flacher der Durchzugswinkel verläuft, desto mehr Lot verbleibt auf den Lötstellen. Die Gefahr der Tropfen- und Brückenbildung steigt jedoch. Je steiler der Durchzugswinkel, um so sparsamer ist die Lotablagerung. Die Form der Welle ist Anwendungsabhängig und für das Endergebnis von entscheidender Bedeutung. Heutzutage gebräuchliche Wellenformen sind Chip-, Lambda- und Woerthmann-Wellen. Meist werden zwei Wellen direkt hintereinander verwendet, um auch komplexeren Löt Situationen gerecht zu werden. So können SMD-Bauelemente auf der Leiterplattenrückseite und THT-Bauelemente auf der Leiterplattenoberseite im gleichen Arbeitsschritt sicher auf der Platine verlötet werden.

Anwendung:

Das Wellenlöten findet vor allem Anwendung beim Löten von Leiterplatten welche teilweise oder ausschließlich mit THT-Bauelementen bestückt werden. Von Bedeutung ist das Wellenlöten auch bei der Montage von SMD-Bauteilen auf der Platinenunterseite. Im Zuge der Miniaturisierung der Baugruppen wurde das Wellenlöten in den letzten Jahren in vielen Fällen durch das Reflow-Löten abgelöst, mit dem sich SMD-Bauelemente wirtschaftlicher montieren lassen.

Schutzgas:

Heute findet das Wellenlöten in der Regel unter Schutzgas-Atmosphäre statt. Mit dem Einsatz von Stickstoff wird der nachteilige Einfluß des Sauerstoffs auf den Lötprozess vermieden.

Der Stickstoffeinsatz bietet die Möglichkeit Kosten zu reduzieren und den Prozess sicherer zu gestalten. Insbesondere Nacharbeit und Reparaturen von Lötstellen können vermieden werden.

Weitere Vorteile durch den Einsatz von Stickstoff als Prozessgas sind:

- Verbesserte Lötverbindungen durch höhere Benetzungsgeschwindigkeiten.
- Erheblich reduzierter Lotverbrauch durch Reduzierung der Zinn-Blei-Oxide (Krätze).
- Reduzierter Flussmittelverbrauch, milder aktivierte Flussmittel.
- Sauberkeit der Flachbaugruppen
- Reduzierter Wartungsaufwand
- Umweltschonendes Löten
- Möglichkeit des Einsatzes bleifreier Lote

Variationen:

Eine immer mehr an Bedeutung gewinnende Variante des Wellenlötens stellt das selektive Wellenlöten dar. Hierbei wird nicht die ganze Baugruppe, sondern nur ein kleiner Teil davon mittels einer "Miniatur-Welle" gelötet. Der effektiv verlötete Bereich kann hier, abhängig von der Wellenform nur wenige mm² groß sein. Die Baugruppe wird hierfür mit einer Positioniereinrichtung genau über die Welle gebracht. Dieses Verfahren findet Anwendung, wenn auf einer Leiterplatte bereits viele SMD-Bauelemente in einem Reflow-Prozess gelötet wurden und nur wenige THT-Bauelemente verlötet werden müssen. Ein zweiter thermischer Stress für die Leiterplatte und die darauf befindlichen Bauteile kann so vermieden werden.¹⁵

1.3.3.7 Vakuumlöten

Das Vakuumlöten oder auch Wiederaufschmelzlöten ist ein in der Elektrotechnik eingesetztes Weichlötverfahren zum lunkerfreien Löten von oberflächenmontierten Bauteilen (sog. SMD-Bauteilen) auf DBC-Substraten. Das Zusammenfügen der Materialien aus meist unterschiedlichen Werkstoffen, geschieht im Vakuum unter Druck bei hoher Temperatur. Das Vakuum hilft dabei, die Oxidation der beiden Teile und des Lotes zu minimieren.

Zum Einsatz kommt das Vakuumlöten für die Stromversorgungen von Spannungswandlern, Stellmotorensteuerungen und Radarsystemen in der Luftfahrt, Baugruppen für Leistungshalbleiter IGBT-Module, für MOS-, Dioden- und Thyristor-Module, kontaktlose Relais (Solid State Relay), Zündungen, elektronische Lenkhilfe, ISAD-integrierte Starter, Lichtmaschinen, Dieselpumpen- und Stellmotorensteuerung, Klimagerätesteuerung und intelligente Leistungsschaltung in der Automobilindustrie, Frequenzumrichter, Pumpensteuerung, Bahnantriebe, Stromversorgungen, Antriebssteuerungen und Kühltechnik (z.B. Laser, Peltier-Elemente).¹⁶

1.3.3.8 Einpresstechnik und andere Lötalternativen

Als Alternative zum Verlöten der Bauteilanschlüsse auf einer Leiterplatte gibt es die Einpresstechnik. Dabei werden elastische oder starre Stifte in eng tolerierte und metallisierte Bohrungen der Leiterplatte gepresst. Auf Grund der plastischen Verformung der beteiligten Metalle ergeben sich sichere elektrische Verbindungen auch ohne Löten. Als eine der Hauptanwendung hat sich das Einpressen von vielpoligen Steckern und Gewindebolzen etabliert. Eine weitere Möglichkeit ergibt sich durch die Verwendung von Klebstoff. Dabei wählt man zwischen elektrisch nicht leitenden bzw. leitfähigen isotropen und anisotropen Klebstoffen. Eine weitere Technik ist das "Bonden". Dabei werden gedünnte Chips ohne Gehäuse auf die Leiterplatte geklebt und mittels dünner Drähte mit den entsprechenden Kontakten auf der Leiterplatte verbunden. Dies passiert nicht durch löten, sondern mittels eines Stiftes, welcher auf den Draht drückt und um ca. 4-5µm schwingt (Ultraschall-Bonden). Dadurch entsteht Reibungswärme und verschweißt den Draht mit den

Lands (kleine Cu-Flächen, auf denen geschweißt wird). Es können momentan ca. 10-12 Verbindungen pro Sekunde hergestellt werden. Auf Leiterplatten gebundene Chips und Bonddrähte werden durch lichtabsorbierendes Harz geschützt.¹⁷

1.3.4 Schutzgrad

Die Schutzart gibt einerseits die Eignung von elektrischen Betriebsmitteln (zum Beispiel Geräte, Leuchten und Installationsmaterial) für verschiedene Umgebungsbedingungen an, andererseits den Schutz von Menschen bei deren Benutzung gegen potentielle Gefährdung.

Bei vielen Anwendungen müssen elektronische Geräte unter erschwerten Umweltbedingungen über viele Jahre sicher arbeiten. Außer dem zulässigen Temperaturbereich stellt die chemische Belastung, hierunter wird die Beständigkeit gegen aggressive Medien in der Industrie wie Dämpfe, Säuren, Laugen, Öl oder Kraftstoffe verstanden, eine Einsatzbeschränkung dar. Zudem muss das Eindringen von Nässe und Fremdkörpern, wie z.B. Staub, für eine zuverlässige Funktion verhindert werden.

Bezüglich ihrer Eignung für verschiedene Umgebungsbedingungen werden die Systeme in entsprechende Schutzarten, so genannte IP-Codes eingeteilt. Die Abkürzung IP steht laut DIN für International Protection, wird aber im Englischen Sprachraum als Ingress Protection verwendet. Diese sind in der DIN EN 60529 mit dem Titel Schutzarten durch Gehäuse (IP-Code) festgehalten.

Nomenklatur

Den in der Schutzartbezeichnung immer vorhandenen Buchstaben IP wird eine zweistellige Zahl angehängt. Diese zeigt an, welchen Schutzzumfang ein Gehäuse bezüglich Berührung bzw. Fremdkörper (erste Ziffer) und Feuchtigkeit (zweite Ziffer) bietet.

Der manchmal verwendete Begriff IP-Schutzklasse ist allerdings falsch. Es gibt die hier beschriebene IP-Schutzart und es gibt die Schutzklasse.

Schutzgrade

Schutzgrade für Berührungs- und Fremdkörperschutz (1. Ziffer):

Ziffer	Schutz gegen Berührung	Schutz gegen Fremdkörper
0	kein Schutz	kein Schutz
1	Schutz gegen großflächige Körperteile, Durchmesser 50 mm	große Fremdkörper (Durchmesser ab 50 mm)
2	Fingerschutz (Durchmesser 12 mm)	mittelgroße Fremdkörper (Durchmesser ab 12,5 mm, Länge bis 80 mm)
3	Werkzeuge und Drähte	kleine Fremdkörper (Durchmesser ab 2,5 mm)

	(Durchmesser ab 2,5 mm)	
4	Werkzeuge und Drähte (Durchmesser ab 1 mm)	kornförmige Fremdkörper (Durchmesser ab 1 mm)
5(K)	vollständiger Berührungsschutz	Staubablagerung
6(K)	vollständiger Berührungsschutz	Staubeintritt

Schutzgrade Wasserschutz (2. Ziffer)

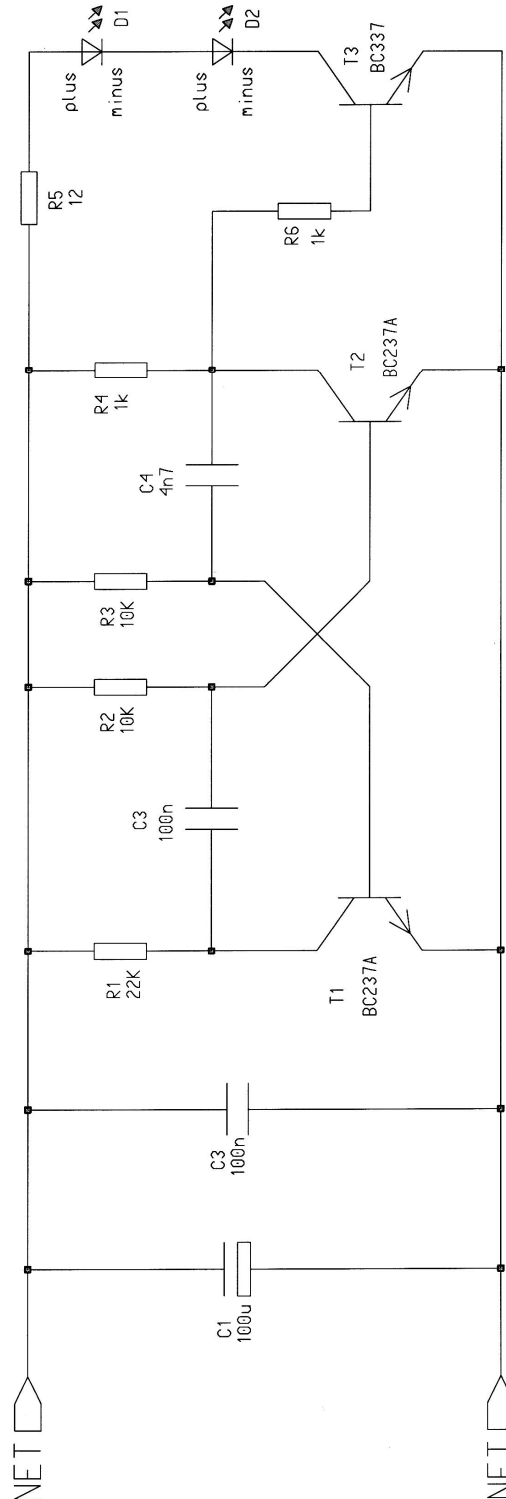
Ziffer	Schutz gegen Wasser
0	kein Schutz
1	Schutz gegen senkrecht fallendes Tropfwasser
2	Schutz gegen schräg (bis 15°) fallendes Tropfwasser
3	Schutz gegen Sprühwasser bis 60° gegen die Senkrechte
4	Schutz gegen allseitiges Spritzwasser
4k	Schutz gegen allseitiges Spritzwasser unter erhöhtem Druck, gilt nur für Straßenfahrzeuge
5	Schutz gegen Strahlwasser
6	Schutz gegen starkes Strahlwasser (Überflutung)
6k	Schutz gegen starkes Strahlwasser unter erhöhtem Druck (Überflutung), gilt nur für Straßenfahrzeuge
7	Schutz gegen zeitweiliges Untertauchen
8	Schutz gegen dauerndes Untertauchen
9k	Schutz gegen Wasser bei Hochdruck- /Dampfstrahlreinigung, gilt nur für Straßenfahrzeuge

Wenn eine der beiden Ziffer nicht angegeben werden muss, wird sie durch den Buchstaben X ersetzt (zum Beispiel "IPX1"). Bei Bedarf können an die Zahlenkombination noch Buchstaben zur genaueren Beschreibung der Schutzart angehängt werden. So wird der Buchstabe K für die Kennzeichnung der Ausrüstung von Straßenfahrzeugen bei einzelnen Kennziffern verwendet.

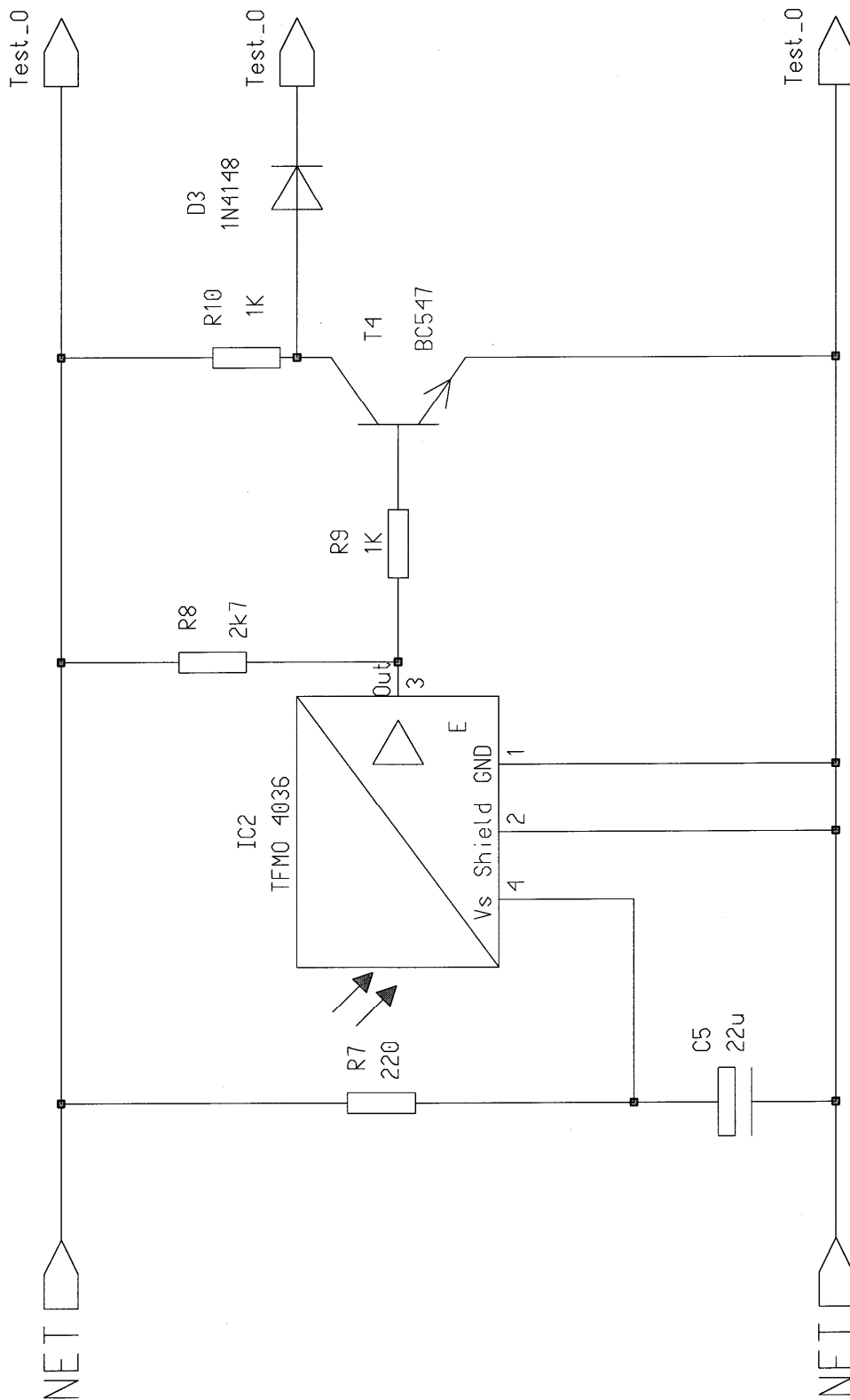
Weitere Informationen zu den IP-Schutzarten finden sich in der DIN EN 60529 und in der IEC Publication 529. Bis Oktober 1992 waren die Schutzarten in der DIN 40050 festgelegt.¹⁸

1.4 Schaltungsunterlagen

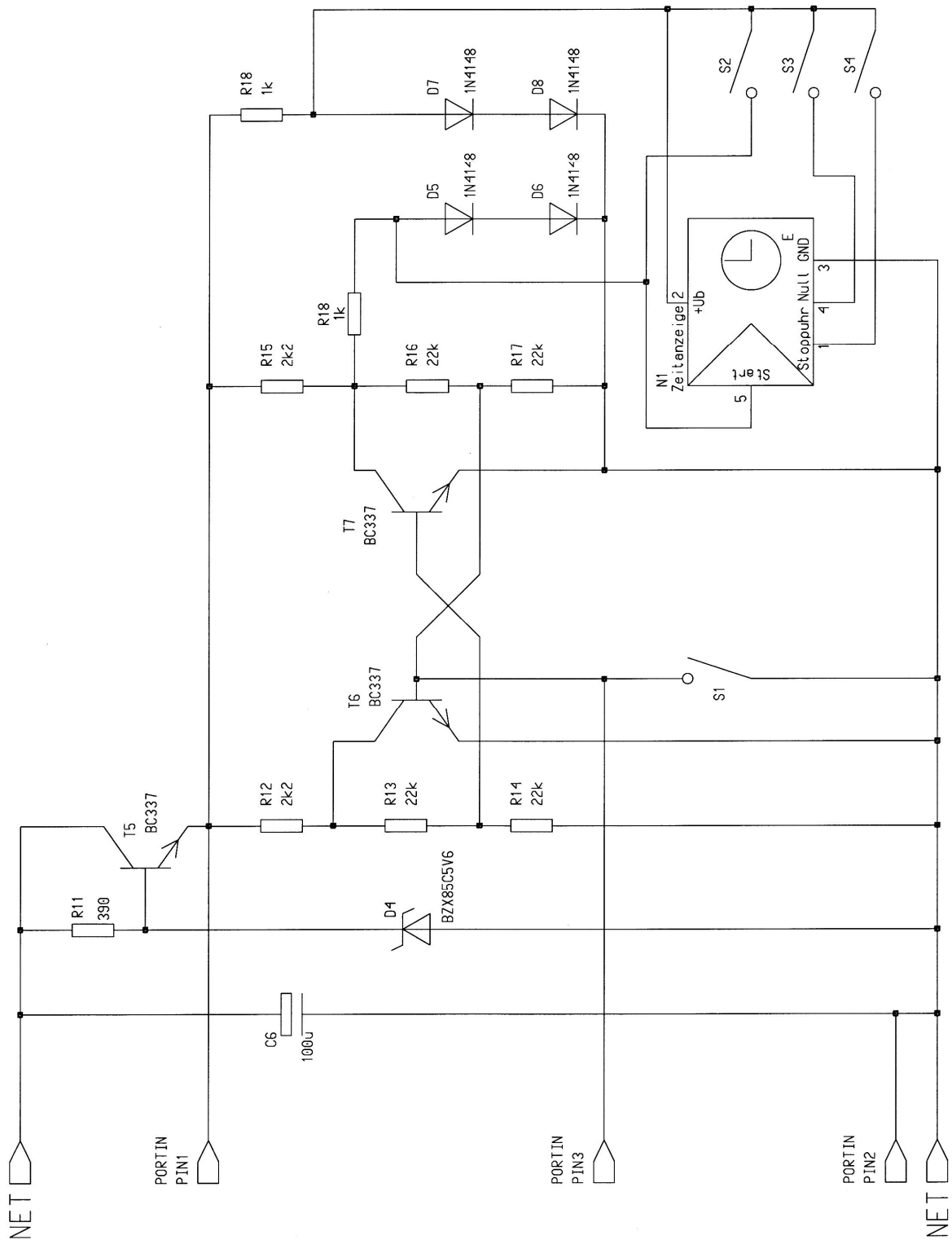
[Bearbeiter: Erzen, Hofmann, Uhl]



- Abbildung 11: Sender -



- Abbildung 12: Empfänger -



- Abbildung 13: Uhr -

1.5 Projekt Bericht

[Bearbeiter: Erzen, Hofmann, Uhl]

Alle für die Planungsphase notwendigen Tätigkeiten wurden ohne Probleme bewältigt. Bis zum heutigen Tag wurden die Anforderungsliste und der Informationsbericht vollinhaltlich und termingerecht erstellt. Der Schaltplan wurde vollständig in Design Architect eingegeben. Für die nächste Phase Konzipieren wurden keine erkennbaren Probleme festgestellt.

1.6 Personal - Zeit - Plan: Konzipieren

[Bearbeiter: Erzen, Hofmann, Uhl]

Tätigkeit	Bearbeiter	Soll-Zeit	Ist-Zeit	Soll-Termin	Ist-Termin
Funktionsgliederung	Hofmann	0,5h	0,25h	09.06.2006	09.06.2006
	Erzen	0,5h	0,25h	09.06.2006	09.06.2006
	Uhl	0,5h	0,25h	09.06.2006	09.06.2006
Morphologie	Hofmann	0,5h	0,5h	09.06.2006	09.06.2006
	Erzen	0,5h	0,5h	09.06.2006	09.06.2006
	Uhl	0,5h	0,5h	09.06.2006	09.06.2006
Konzept	Hofmann	6h	20h	20.06.2006	20.06.2006
	Erzen	6h	20h	20.06.2006	16.06.2006
	Uhl	6h	20h	20.06.2006	22.06.2006
Funktionsabschätzung	Hofmann	---	---	---	---
	Erzen	1h	2h	22.06.2006	16.06.2006
	Uhl	---	---	---	---
Projekt-Bericht	Hofmann	0,25h	0,2h	20.06.2006	22.06.2006
	Erzen	---	---	---	---
	Uhl	0,25h	0,2h	20.06.2006	22.06.2006
Personal-Zeit-Plan Entwerfen	Hofmann	0,25h	0,1h	16.06.2006	22.06.2006
	Erzen	---	---	---	---
	Uhl	0,25h	0,1h	16.06.2006	22.06.2006
Fragenliste	Hofmann	0,25h	0,5h	22.06.2006	22.06.2006
	Erzen	0,25h	0,5h	22.06.2006	22.06.2006
	Uhl	0,25h	0,5h	22.06.2006	22.06.2006

1.7 Fragenliste

[Bearbeiter: Erzen, Hofmann, Uhl]

- Wie werden die Einzelschaltungen elektrisch verbunden?
- Wie ist EMV zu realisieren?

2 Phase Konzipieren

2.1 Funktionsgliederung

[Bearbeiter: Erzen, Hofmann, Uhl]

- Mechanische Stabilität der Leiterplatte gewährleisten
- Bauelemente aufnehmen und anordnen
- Mechanische Stabilität der Baugruppen sichern
- Bauelemente elektrisch verbinden
- Elektromagnetische Verträglichkeit gewährleisten
- Schutzmaßnahmen gewährleisten

2.2 Morphologie

[Bearbeiter: Erzen, Hofmann, Uhl]

Teilfunktion	Aspekte						
Mechanische Stabilität der Leiterplatte gewährleisten	Material	Keramik	FR2	FR3	FR4	FR5	Folie
	Form	flexibel	starr				
Bauelemente aufnehmen und anordnen	Bestückung	Automatisch einseitig	Automatisch beidseitig	Handbest.			
	Leiterplattengröße	100*160 mm	80*100 mm	80*60 mm	Minimiert		
	Leiterplattenanzahl	1	2				
	Bauteilart	THD	SMD	gemischt			
	Bestückungsart	manuell	maschinell	gemischt			
Mechanische Stabilität der Baugruppen sichern	Methode	gedruckt	Lochstreifen	Lochraster			
	Lötverfahren	Reflowlöten	Schwalllöten	Doppelwellenlöten	Handlöten		
	Padform	rund	viereckig	achteckig	gemischt	oval	
	Lochraster	1,27 mm	2,54 mm	je nach Bauteil			
Bauelemente elektrisch verbinden	Anzahl der Leiterebenen	1	2	3	4		
	Durchkontaktierung	durchgehend	lagenweise	Keine			
	Durchmesser d. Vias	0,6 mm	0,7 mm	0,8 mm	0,9 mm		
	Kupferauflage	17,5 µm	35 µm	70 µm	105 µm		
	Min. Leiterbahnbreite	0,2 mm	0,5 mm	1,0 mm	1,5 mm		
	Min. Leiterbahnabstand	0,25 mm	0,64 mm	1,27 mm	2,54 mm	0,2	
Elektromagnetische Verträglichkeit gewährleisten	Anordnung der Bauteile	nach Funktion	beliebig				
	Anordnung des Leitungspotentials	linienförmig	sternförmig	netzförmig	flächig		
Schutzmaßnahmen gewährleisten	Schutzklassen	Schutzisoliert	Schutzerdung	Schutzklein-spg.			

2.3 Konzept Erzen

[Bearbeiter: Erzen]

Teilfunktion	Aspekte						
Mechanische Stabilität der Leiterplatte gewährleisten	Material	Keramik	FR2	FR3	FR4	FR5	Folie
	Form	flexibel	starr				
Bauelemente aufnehmen und anordnen	Bestückung	Automatisch einseitig	Automatisch beidseitig	Handbest.			
	Leiterplattengröße	100*160 mm	80*100 mm	80*60 mm	Minimiert		
	Leiterplattenanzahl	1	2				
	Bauteilart	THD	SMD	gemischt			
	Bestückungsart	manuell	maschinell	gemischt			
Mechanische Stabilität der Baugruppen sichern	Methode	gedruckt	Lochstreifen	Lochraster			
	Lötverfahren	Reflowlöten	Schwalllöten	Doppelwellenlöten	Handlöten		
	Padform	rund	viereckig	achteckig	gemischt	oval	
	Lochraster	1,27 mm	2,54 mm	je nach Bauteil			
Bauelemente elektrisch verbinden	Anzahl der Leiterebenen	1	2	3	4		
	Durchkontaktierung	durchgehend	lagenweise	Keine			
	Durchmesser d. Vias	0,6 mm	0,7 mm	0,8 mm	0,9 mm		
	Kupferauflage	17,5 µm	35 µm	70 µm	105 µm		
	Min. Leiterbahnbreite	0,2 mm	0,5 mm	1,0 mm	1,5 mm		
	Min. Leiterbahnabstand	0,25 mm	0,64 mm	1,27 mm	2,54 mm	0,2	
Elektromagnetische Verträglichkeit gewährleisten	Anordnung der Bauteile	nach Funktion	beliebig				
	Anordnung des Leitungspotentials	linienförmig	sternförmig	netzförmig	flächig		
Schutzmaßnahmen gewährleisten	Schutzklassen	Schutzisoliert	Schutzerdung	Schutzklein-spg.			

2.3.1 Mechanische Stabilität der Leiterplatte gewährleisten

Das FR4 Material wird als Trägermaterial für die Leiterplatte verwendet. Dieses Material wird sehr häufig eingesetzt und ist daher entsprechend günstig zu erhalten.

Um eine bessere Handhabung und die mechanische Stabilität der Leiterplatte zu gewährleisten wird diese in starr ausgeführt.

2.3.2 Anordnung der Bauelemente realisieren

Für die Bestückung sind ein SMD- und ein THD- Bestückungsautomat vorhanden. Um eine möglichst kostengünstige Herstellung zu ermöglichen, soll die Bestückung auf möglichst wenige Arbeitsgänge beschränkt werden. Durch die vorgegebene Verwendung des Optischen Empfängers IC2 (TFMO 4036), als THD-Bauteil (Die Verwendung des THD-Bestückungsautomaten ist für die Bauform geeignet) wird auf die Verwendung von SMD- und Handbestückung vor dem Lötprozess verzichtet. Für sämtliche Widerstände soll wenn möglich die bereits eingesetzte Bauform (1/4Watt / Rastermaß 7,5mm) verwendet werden.

Das Stoppuhr-Modul wird mit bereits angelöteten Litzen angeliefert. Eine Bestückung vor dem Schwelllöten ist ausgeschlossen, da sich sonst die angelöteten Litzen lösen könnten. Dieses Modul muss also nachträglich Handbestückt und gelötet werden. Außerdem soll das Display ohne Funktionsbeeinträchtigung ablesbar sein. Eine Anordnung auf der Bestückungsseite ist damit nicht möglich, da sonst beim Ablesen die Lichtschranke unterbrochen werden könnte. Durch die Länge der Anschlussdrähte (Die Länge ist vom Lieferanten vorgegeben und wird nicht geändert) des Uhrenmoduls ist damit nur noch eine Bestückung auf der Lötseite möglich. Die Anzeige befindet sich dann somit auf der der Lichtschranke gegenüberliegenden Seite. Um ein leichtes Ablesen zu ermöglichen muss das Modul beim späteren Einsatz in ausreichender Höhe angebracht werden.

2.3.3 Fixierungen herstellen

Um eine individuelle Platzierung der Bauteile auf der Leiterplatte zu ermöglichen, werden die Pads und die Leiterbahnen gedruckt.

Als Lötmaschine stehen eine Schwell- und ein Reflow- Lötautomat zur Verfügung. Durch den Verzicht auf SMD-Bauteile wird nur der Schwelllötautomat verwendet. Da das Uhrenmodul beim Schwelllöten noch nicht angelötet ist, entstehen hierbei keine Probleme. Das Uhrenmodul wird nachträglich von Hand angelötet.

Die Pads für die THD-Bauelemente müssen oval ausgeführt sein, um die vom Bestückungsautomaten umgebogenen Anschlussdrähte möglichst gut zu verlöten. Außerdem wird dadurch gleich der durch das Umbiegen benötigter Abstand zu Nachbarbauteilen eingehalten.

Da keine Lochrasterplatte verwendet wird, ist das Rastermaß egal und ergibt sich bei jedem Bauteil über die Bauform.

2.3.4 Elektrische Verbindung erzeugen

Die Verdrahtung und die Bestückung der Platine erfolgt auf einer Ebene.

Vias werden nicht benötigt.

Um den Verbrauch von Lötzinn zu verringern wird ein Lötstopplack verwendet. Außerdem werden dadurch Fehler durch Lötchlüsse verringert.

Durch den geringen Stromfluss können die Leiterbahnen und Pads in den üblichen Abmessungen für Einseitige Leiterplatten ausgeführt werden. Eine störende Beeinflussung von nebeneinander verlaufenden Leiterbahnen ist durch die geringe Störanfälligkeit der Schaltung nicht zu erwarten. Durch die geringen Spannungen ist die Überschlagsfestigkeit gegeben.

- Kupferauflage Signal 35 μm
- Kleinste Leiterbahnbreite Signal 0,2 mm
- Kleinster Leiterbahnabstand 0,2 mm
- Kleinster Abstand von nicht durch Lötstopplack abgedeckten Kupferflächen zueinander 0,4 mm

Wenn möglich soll eine kleinste Leiterbahnbreite von 0,3 mm verwendet werden, um die mechanische Stabilität der Leiterbahnen, etwa beim Nachlöten, zu erhöhen.

Wenn möglich soll ein kleinster Leiterbahnabstand von 0,3 mm verwendet werden. Dadurch werden Schlüsse durch Ätzfehler des Leiterplattenherstellers oder Lötchlüsse durch Fehler im Lötstopplack verringert.

Möglichst alle leicht anzuschließenden unbenutzten Kupferbereiche werden für die Masseführung verwendet (Abstand von 0,3 mm zu Leitungen mit anderem Signal).

2.3.5 Elektromagnetische Verträglichkeit gewährleisten

Durch die geringen Ströme und die kleinen Frequenzen ist eine Beeinflussung der Funktion durch gemeinsame Masseführung (Ground-Bouncing) oder gemeinsame Betriebsspannungsführung nicht zu erwarten. Als einziges mögliches Empfindliches Bauteil ist das Uhrenmodul anzusehen. Dieses wird durch eine eigene

Betriebsspannungszuführung versorgt. Die Anordnung der beiden Dioden zur Betriebsspannungsstabilisierung und Eingangsspannungsbegrenzung (D7, D8, D5, D6), erfolgt möglichst nahe am Modul.

Die Anordnung der Bauelemente erfolgt nach Funktionen. Durch diese Anordnung können lange Leitungswege verhindert werden.

Durch die Verwendung nicht benutzten Kupferflächen als Masseführung wird die EMV erhöht.

2.3.6 Schutzmaßnahmen gewährleisten

Als Schutzmassnahmen wurde in der Anforderungsliste die Schutzklasse „Schutzkleinspannung“ gefordert. Dieser Forderung wird durch die Verwendung einer Versorgungsspannung von 9V entsprochen.

2.3.7 Wärmeabfuhr gewährleisten

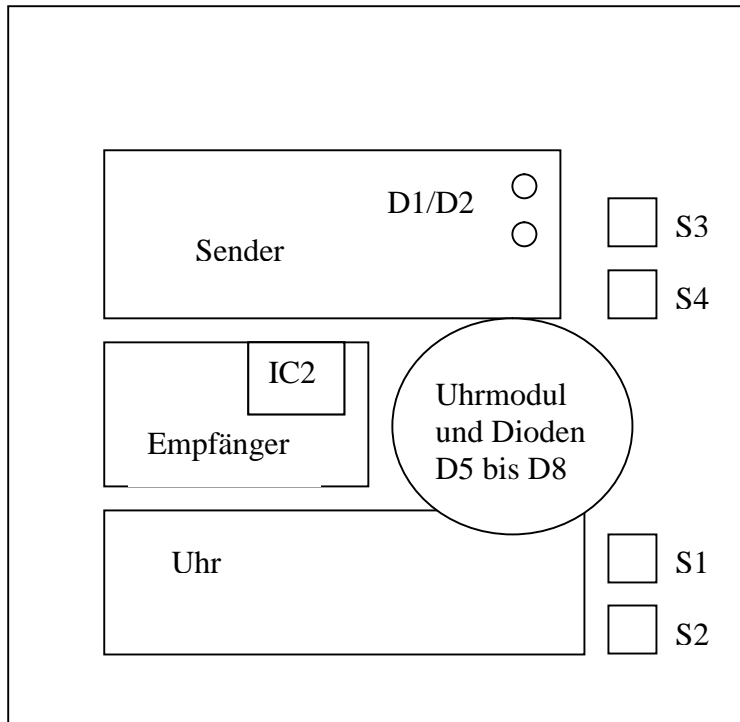
Die Maximale Verlustleistung beträgt $< 0,3W$ (Siehe Funktionsberechnung). Bei der Entwicklung des Gehäuses muss sichergestellt werden, dass die entstehende Wärme abgeführt werden kann, ohne dass die Innenraumtemperatur die max. Umgebungstemperatur der Schaltung überschreitet. Die Wärme wird von sämtlichen Bauteilen in etwa gleichmäßig abgegeben. Dies wird auch durch die Verwendung nicht benutzten Kupferflächen als Masseführung unterstützt (Wärmeleitung und damit gleichmäßige Wärmeausbreitung) Besondere Kühlmaßnahmen eines bestimmten Bauteiles sind nicht erforderlich.

2.3.8 Bauteilliste für die Stoppuhr

Idf.Nr.	Stückzahl	Bezeichnung	Bauteil-Nr.	Preis je 100 Stck
1	1	4,7 nF RM5	C4	2,20
2	2	100 nF RM5	C2,C3	2,20
3	1	22 µF 16V RM5	C5	1,05
4	1	100 µF 35V RM5	C1	2,50
5	1	100 µF 25V RM5	C6	1,65
6	1	12 Ohm 1/4W RM5	R5	0,57
7	1	220 Ohm 1/4W RM5	R7	0,57
8	1	390 Ohm 1/4W RM5	R11	0,57
9	6	1 kOhm 1/4W RM5	R4,R6,R9,R10, R18,R19	0,57
10	2	2,2 kOhm 1/4W RM5	R12,R15	0,57
11	1	2,7 kOhm 1/4W RM5	R8	0,57
12	2	10 kOhm 1/4W RM5	R2,R3	0,57
13	5	22 kOhm 1/4W RM5	R1,R13,R14,R16,R17	0,57
14	2	Diode TSHA 5201	D1,D2	61,00
15	5	Diode 1N4148	D3,D5,D6,D7,D8	2,00
16	1	Zehner Diode 5,6V	D4	7,00
17	2	Transistor SS216 oder BC237	T1,T2	3,00
18	1	Transistor SF828 oder BC337	T3	5,00
19	1	Transistor SC237 oder BC547	T4	2,00
20	1	IC TFMO 4036	IC2	300,00
21	1	IC B315	IC1	100,00
22	1	Uhrenmodul	Uhr	200,00
23	1	Taster	S1,S2,S3,S4	18,00
24	1	Sockel 14 polig	IC1 Sockel	2,00
			Summe	794,63

Preise in Euro / 100 Stück; Preise bei Abnahme von 1000 Stck
Preise aus Schukat elektronik Katalog 2006 (www.schukat.com)

2.3.9 Lageplan der wichtigsten Schaltungsteile



- Abbildung 14: Lageplan der wichtigsten Schaltungsteile -

Das Uhrenmodul befindet sich auf der Lötseite der Leiterplatte. Die restliche Bestückung auf der Bestückungsseite. Die Tasten werden von der Seite bedient (Taste mit Hebel auf den Taster).

Für die Konstruktion des Gehäuses wird von folgenden Vorgaben ausgegangen:

→ Für eine einwandfreie Funktion sind für die Konstruktion des Gehäuses folgende Vorgaben zu machen:

Es dürfen innerhalb des Gehäuses keine Infrarotstrahlen von den Dioden D1 / D2 zum Infrarotempfänger gelangen. Allerdings müssen die ausgesendeten, sowie die empfangenen Infrarotstrahlen, möglichst ungehindert senkrecht nach außen gelangen können. Das Fenster im IC2 (Lichtempfindliche Seite) befindet sich auf der Oberseite des Bauteils.

2.3.10 Leitungsführung der wichtigsten Signale

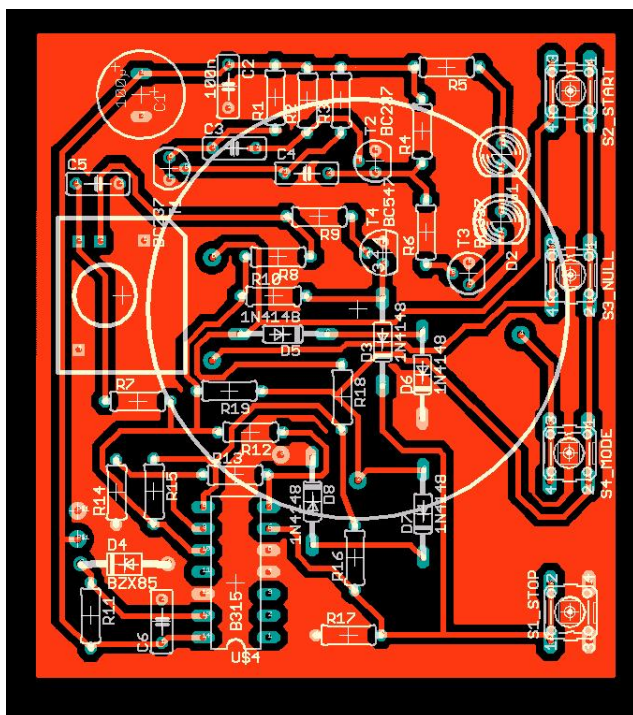
Die Leitungsführung ist größtenteils egal. Lediglich die Dioden D5,D6,D7,D8 sollten in die Nähe des Uhrmoduls gesetzt werden. Die Betriebsspannungszuführung sollte im Bereich des Uhrenmoduls erfolgen, sodass eine 9V-Blockbatteie im späteren Gehäuse oberhalb des Uhr-Schaltungsteils platziert werden kann.

Die Abblockkondensatoren C1 und C2 sollen in der Nähe des Sender-Schaltungsteils zwischen Sender und Betriebsspannungszufuhr positioniert werden.

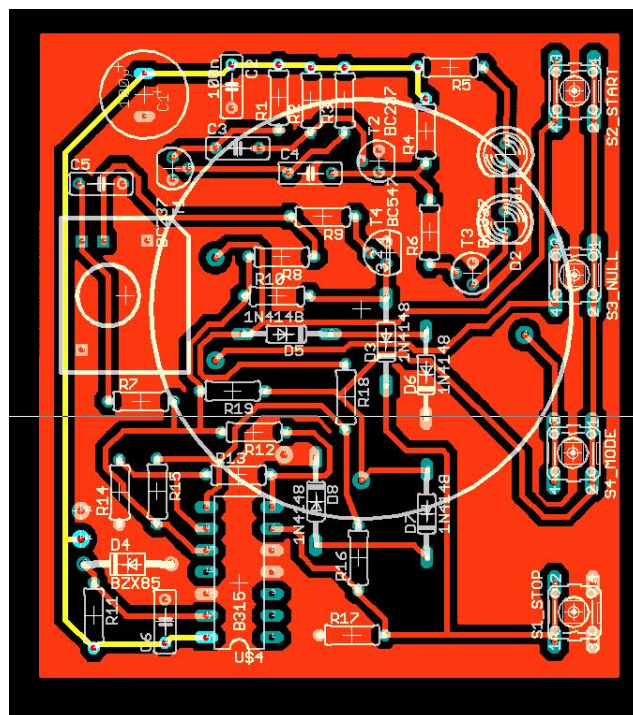
Der Abblockkondensator C5 soll in unmittelbarer Nähe des IC2 positioniert werden.

Der Abblockkondensator C6 soll in der Nähe des Uhr-Schaltungsteils zwischen Uhr-Schaltungsteil und Betriebsspannungszufuhr positioniert werden.

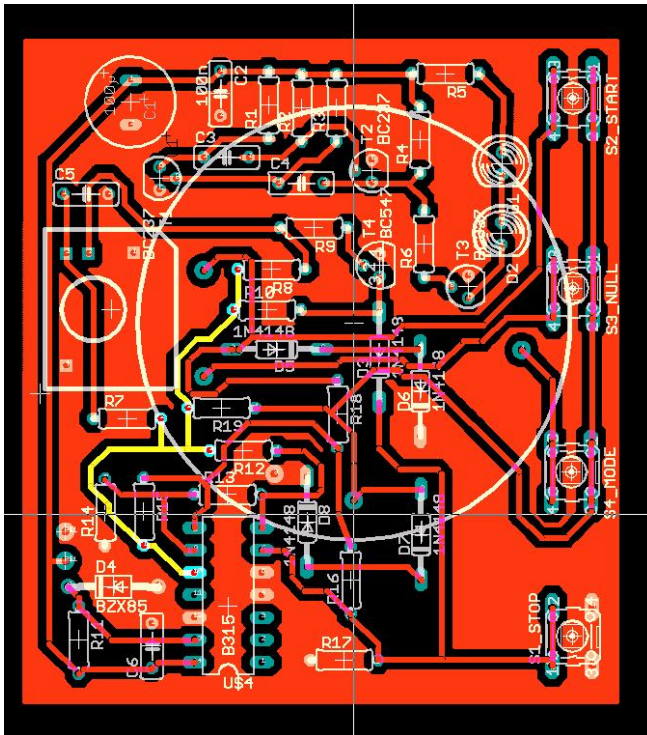
2.3.11 Erstes Layout zur Ermittlung der Platinengröße und kritischen Leitungsführungen



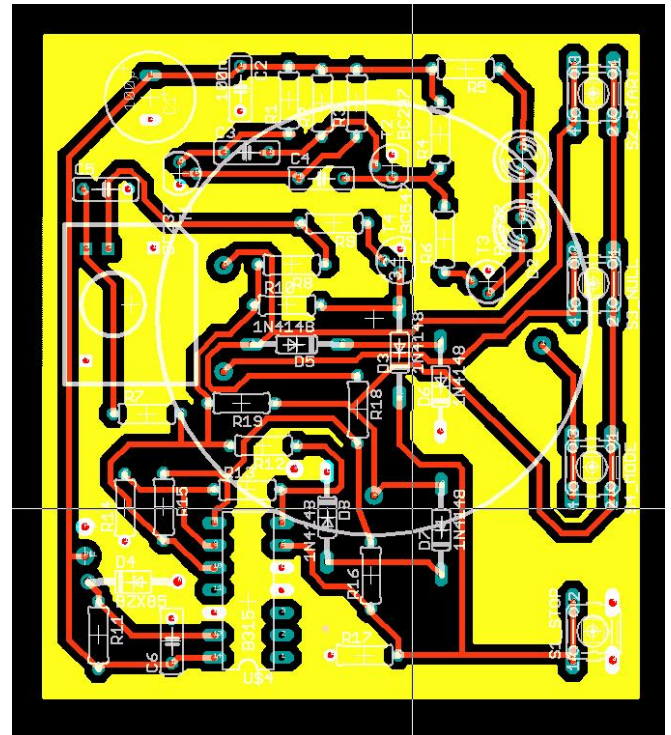
- Abbildung 15: Gesamtdarstellung -



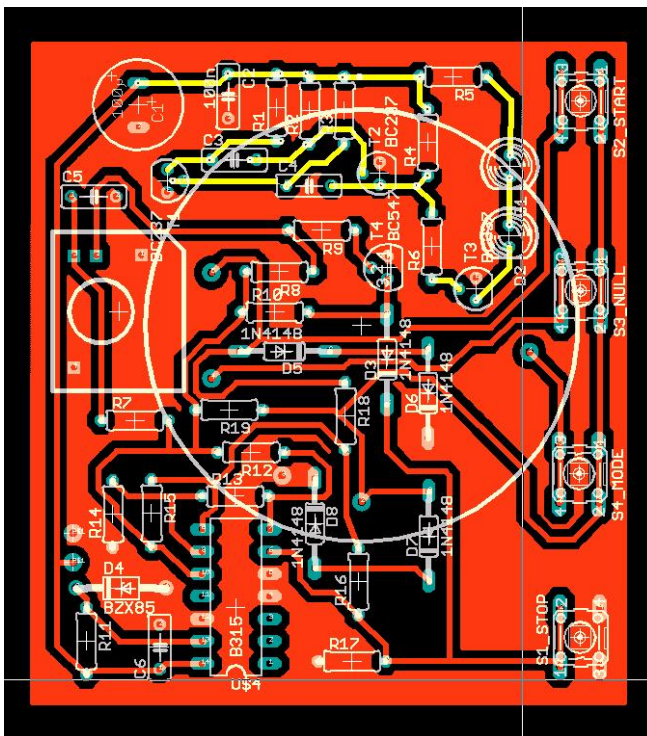
- Abbildung 16: Leitungsführung 9V -



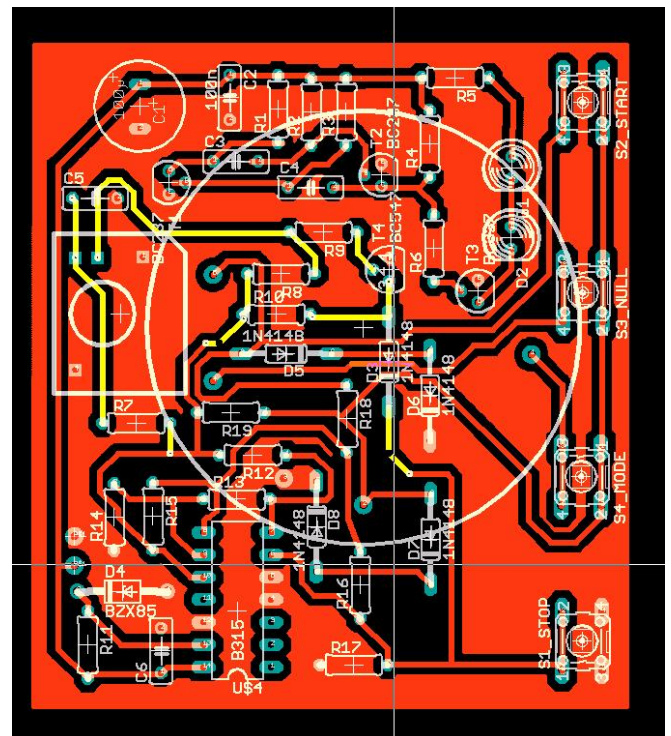
- Abbildung 17: Leitungsführung 5V -



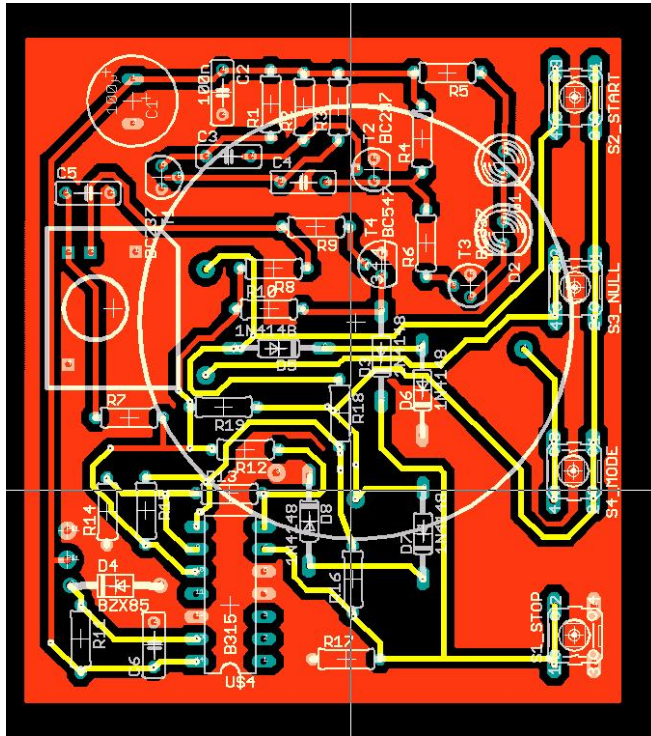
- Abbildung 18: Masse -



- Abbildung 19: Sender -



- Abbildung 20: Empfänger -



- Abbildung 21: Uhr -

2.4 Konzept Hofmann

[Bearbeiter: Hofmann]

Teilfunktion	Aspekte						
Mechanische Stabilität der Leiterplatte gewährleisten	Material	Keramik	FR2	FR3	FR4	FR5	Folie
	Form	flexibel	starr				
Bauelemente aufnehmen und anordnen	Bestückung	Automatisch einseitig	Automatisch beidseitig	Handbest.			
	Leiterplattengröße	100*160 mm	80*100 mm	80*60 mm	Minimiert		
	Leiterplattenanzahl	1	2				
	Bauteilart	THD	SMD	gemischt			
	Bestückungsart	manuell	maschinell	gemischt			
Mechanische Stabilität der Baugruppen sichern	Methode	gedruckt	Lochstreifen	Lochraster			
	Lötverfahren	Reflowlöten	Schwalllöten	Doppelwellenlöten	Handlöten		
	Padform	rund	viereckig	achteckig	gemischt	oval	
	Lochraster	1,27 mm	2,54 mm	je nach Bauteil			
Bauelemente elektrisch verbinden	Anzahl der Leiterebenen	1	2	3	4		
	Durchkontaktierung	durchgehend	lagenweise	Keine			
	Durchmesser d. Vias	0,6 mm	0,7 mm	0,8 mm	0,9 mm		
	Kupferauflage	17,5 µm	35 µm	70 µm	105 µm		
	Min. Leiterbahnbreite	0,2 mm	0,5 mm	1,0 mm	1,5 mm		
	Min. Leiterbahnabstand	0,25 mm	0,64 mm	1,27 mm	2,54 mm	0,2	
Elektromagnetische Verträglichkeit gewährleisten	Anordnung der Bauteile	nach Funktion	beliebig				
	Anordnung des Leitungspotentials	linienförmig	sternförmig	netzförmig	flächig		
Schutzmaßnahmen gewährleisten	Schutzklassen	Schutzisoliert	Schutzerdung	Schutzklein-spg.			

2.4.1 Konzeptbegründung

2.4.1.1 Mechanische Stabilität der Leiterplatte gewährleisten

Das FR4 Material wird als Trägermaterial für die Leiterplatte verwendet. Dieses Material wird sehr häufig eingesetzt und ist daher entsprechend günstig zu erhalten.

Um eine bessere Handhabung und die mechanische Stabilität der Leiterplatte zu gewährleisten wird diese in starr ausgeführt.

2.4.1.2 Anordnung der Bauelemente realisieren

Für die Bestückung sind ein SMD- und ein THD-Bestückungsautomat vorhanden. Die Verwendung von THD-Bauteilen ist durch den Optischen Empfänger IC2 (TFMO 4036) gegeben. Um die Geometrie der Leiterplatte möglichst gering zu halten werden sonst möglichst SMD-Bauteile verwendet. Um die Bauteile ohne Probleme verlöten zu können werden sie auf eine Seite platziert.

Das Stoppuhr-Modul wird mit bereits angelöteten Litzen angeliefert. Eine Bestückung vor dem Reflow- und Schwalllöten ist ausgeschlossen, da sich sonst die angelöteten Litzen lösen könnten. Dieses Modul muss also nachträglich Handbestückt und gelötet werden. Um ein leichtes Ablesen zu ermöglichen muss das Modul beim späteren Einsatz in ausreichender Höhe angebracht werden.

2.4.1.3 Fixierung herstellen

Um eine individuelle Platzierung der Bauteile auf der Leiterplatte zu ermöglichen, werden die Pads gedruckt.

Als Lötmaschinen stehen eine Schwall- und ein Reflow-Lötautomat zur Verfügung. Nach dem Bestücken der Leiterplatte werden als erstes die SMD-Bauteile mit dem Reflow-Lötautomat verlötet. Danach werden mit dem Schwall-Lötautomat die THD-Bauteile verlötet. Da das Uhrenmodul bei den Lötvorgängen noch nicht angelötet ist, entstehen hierbei keine Probleme. Dieses wird dann nachträglich von Hand gelötet.

Die Pads-Geometrie ist rechteckig.

Da keine Lochrasterplatte verwendet wird, ist das Rastermaß egal und ergibt sich bei jedem Bauteil über die Bauform.

2.4.1.4 Elektrische Verbindung herstellen

Die Verdrahtung und die Bestückung der Platine erfolgt auf zwei Ebenen, deswegen werden Vias benötigt.

Um den Verbrauch von Lötzinn zu verringern wird ein Lötstopplack verwendet. Außerdem werden dadurch Fehler durch Lötchlüsse verringert.

Durch den geringen Stromfluss können die Leiterbahnen und Pads in den üblichen Abmessungen für Zweiseitige Leiterplatten ausgeführt werden. Eine störende Beeinflussung von nebeneinander verlaufenden Leiterbahnen ist durch die geringe Störanfälligkeit der Schaltung nicht zu erwarten. Durch die geringen Spannungen ist die Überschlagsfestigkeit gegeben.

- Kupferauflage Signal 35 μm
- Kleinste Leiterbahnbreite Signal 0,2 mm
- Kleinster Leiterbahnabstand 0,2 mm
- Kleinster Abstand von nicht durch Lötstopplack abgedeckten Kupferflächen zueinander 0,4 mm

Wenn möglich soll eine kleinste Leiterbahnbreite von 0,3 mm verwendet werden, um die mechanische Stabilität der Leiterbahnen etwa beim Nachlöten zu erhöhen.

Wenn möglich soll ein kleinster Leiterbahnabstand von 0,3 mm verwendet werden. Dadurch werden Schlüsse durch Ätzfehler des Leiterplattenherstellers oder Lötchlüsse durch Fehler im Lötstopplack verringert.

Möglichst alle leicht anzuschließenden unbenutzten Kupferbereiche werden für die Masseführung verwendet (Abstand von 0,3 mm zur Leitungen mit anderem Signal).

2.4.1.5 Elektromagnetische Verträglichkeit gewährleisten

Durch die geringen Ströme und die kleinen Frequenzen ist eine Beeinflussung der Funktion durch gemeinsame Masseführung (Ground-Bouncing) oder gemeinsame Betriebsspannungsführung nicht zu erwarten. Als einziges mögliches empfindliches Bauteil ist das Uhrenmodul anzusehen. Dieses wird durch eine eigene Betriebsspannungszuführung versorgt. Die Anordnung der beiden Dioden zur Betriebsspannungsstabilisierung und Eingangsspannungsbegrenzung (D7, D8, D5, D6) erfolgt möglichst nahe am Modul.

Die Anordnung der Bauelemente erfolgt nach Funktionen. Durch diese Anordnung können lange Leitungswege verhindert werden.

Durch die Verwendung nicht benutzten Kupferflächen als Masseführung wird die EMV erhöht.

2.4.1.6 Schutzmaßnahmen gewährleisten

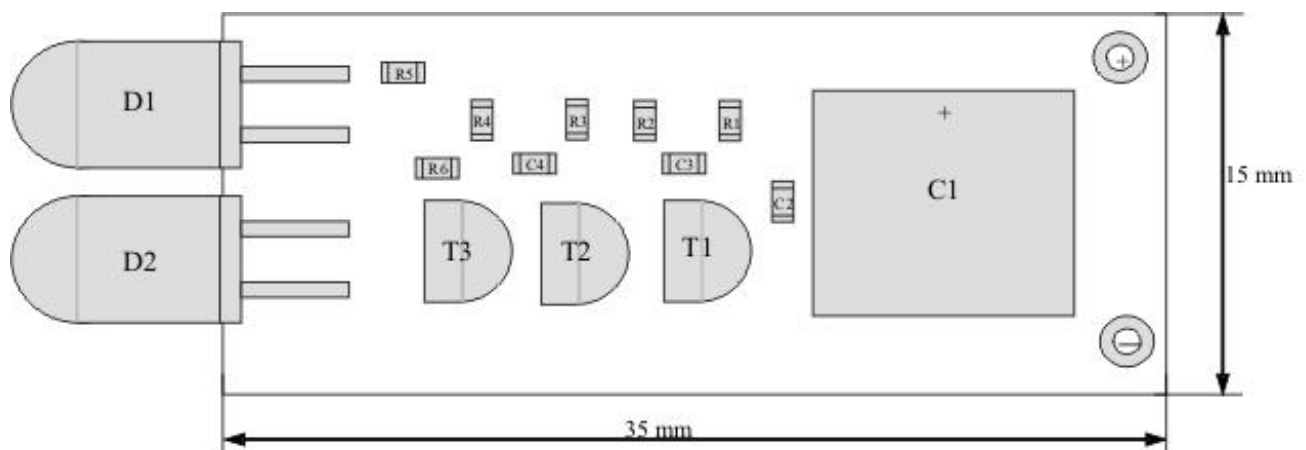
Als Schutzmassnahmen wurde in der Anforderungsliste die Schutzklasse „Schutzkleinspannung“ gefordert.

2.4.1.7 Wärmeabfuhr gewährleisten

Die Maximale Verlustleistung beträgt (Siehe Funktionsberechnung). Bei der Entwicklung des Gehäuses muss sichergestellt werden, dass die entstehende Wärme abgeführt werden kann, ohne dass die Innenraumtemperatur die max. Umgebungstemperatur der Schaltung überschreitet. Die Wärme wird von sämtlichen Bauteilen etwa gleichmäßig abgegeben. Dies wird auch durch die Verwendung nicht benutzten Kupferflächen als Masseführung unterstützt (Wärmeleitung und damit gleichmäßige Ausbreitung). Besondere Kühlmaßnahmen eines bestimmten Bauteiles sind nicht erforderlich.

2.4.2 Leiterplatten

2.4.2.1 Vorläufige Bauteilplatzierung der Sender-Leiterplatte

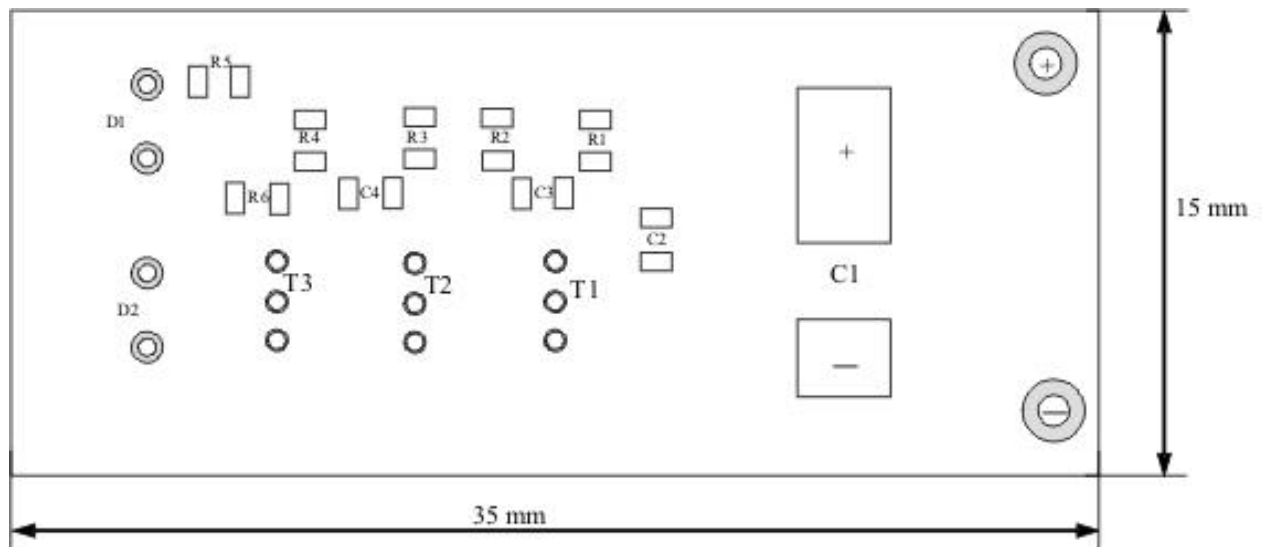


- Abbildung 22: Vorläufige Bauteilplatzierung der Sender-Leiterplatte -

2.4.2.2 Pads und Durchkontaktierungen der Oberseite

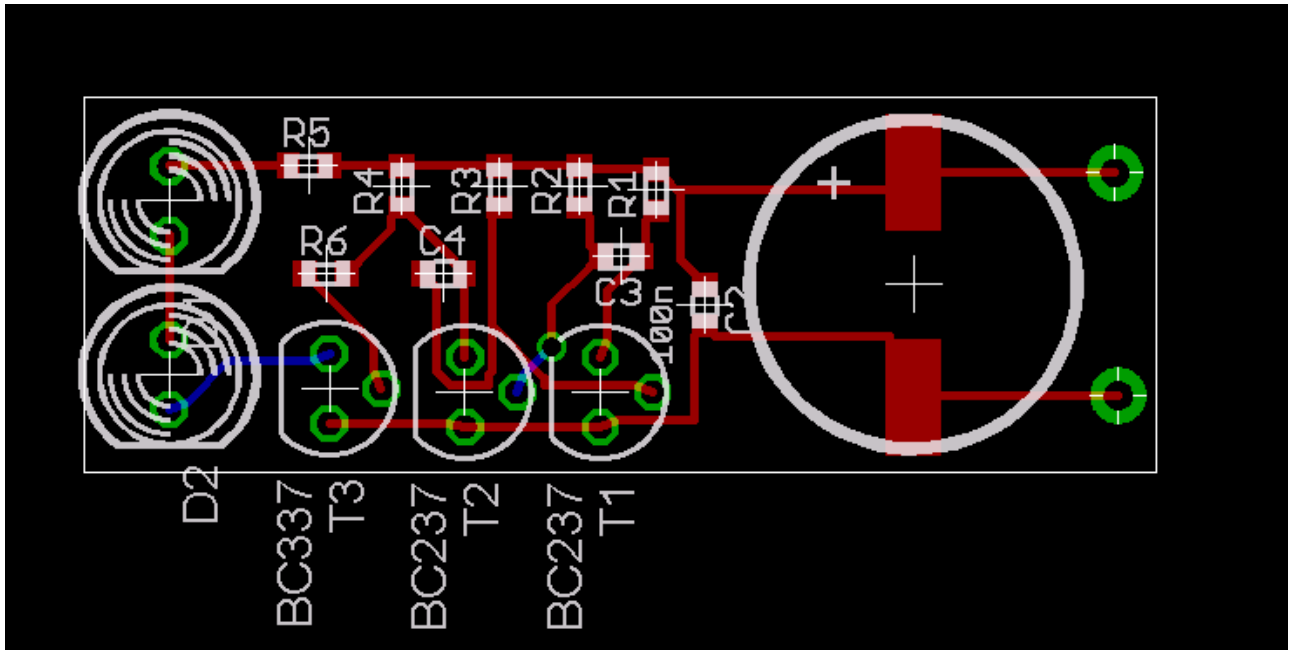
Die Rechtecke stellen Pads dar und die konzentrischen Kreise Durchkontaktierungen der Bauteile.

Bei dem vollständigen Routen der Bauteile können eventuell noch Vias hinzukommen.



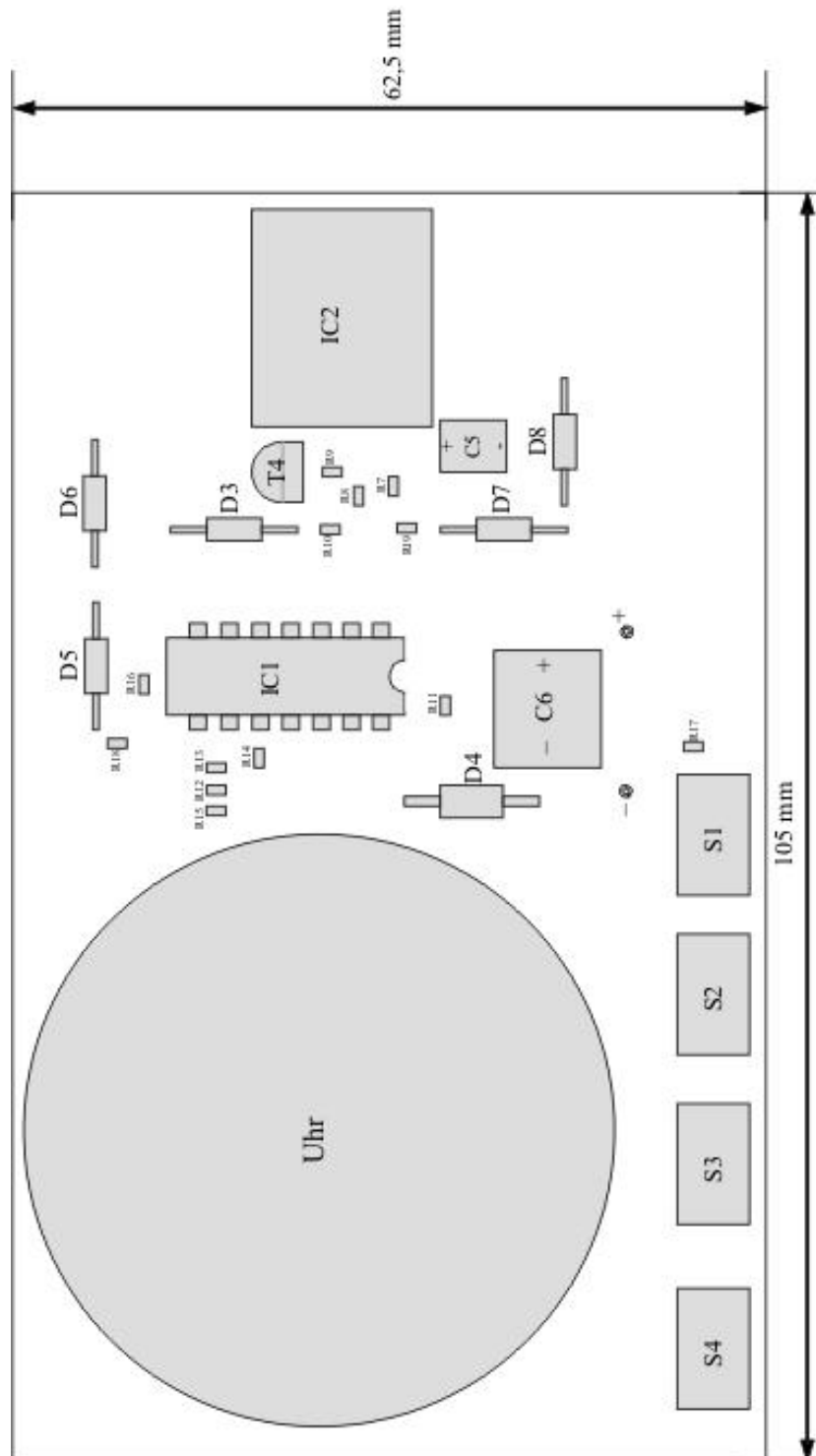
- Abbildung 23: Vorläufige Pads und Durchkontaktierungen der Unterseite -

2.4.2.3 Platzierung und Kontaktierung der Bauteile mit Hilfe des Programms Eagle



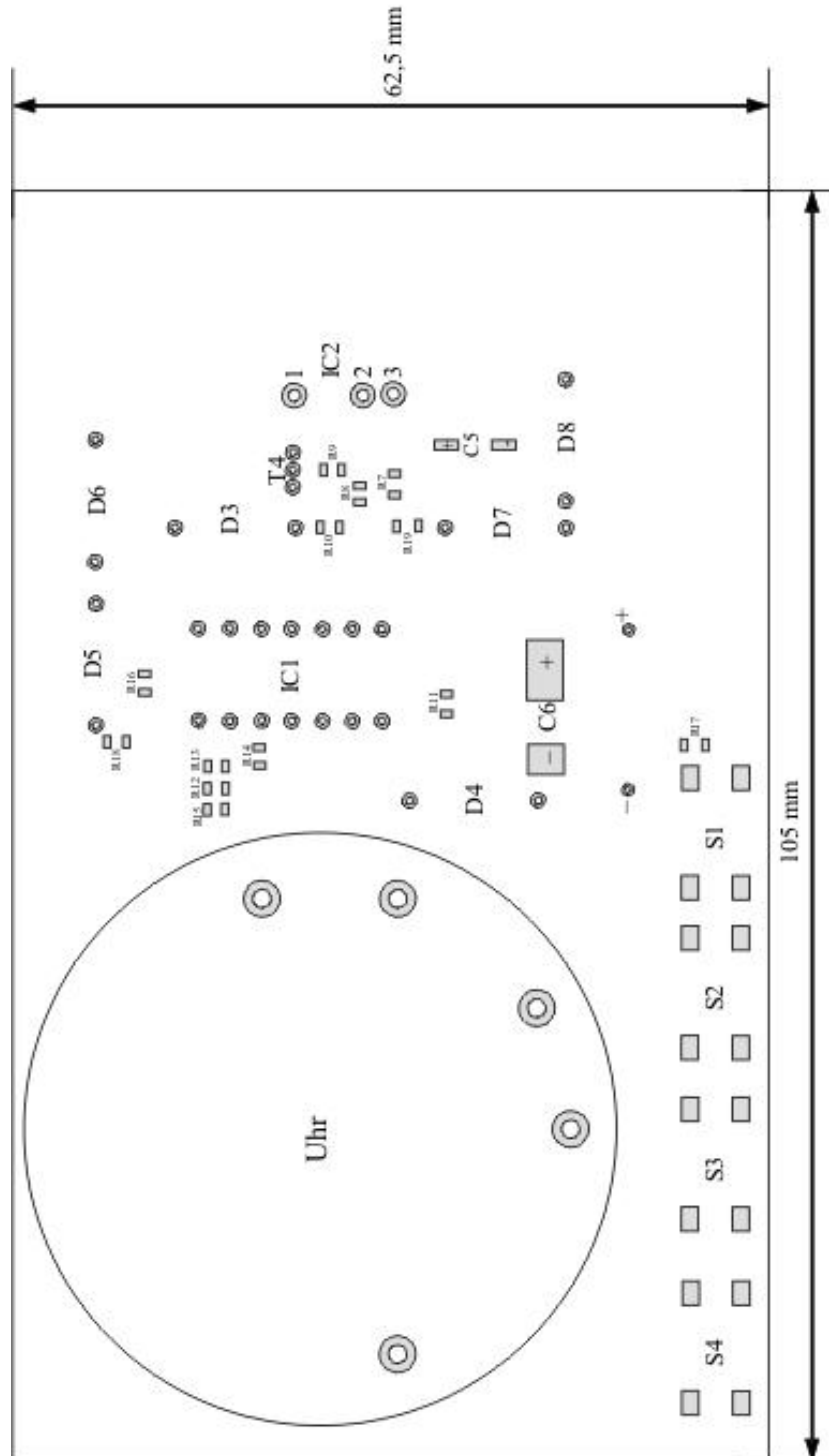
- Abbildung 24: Platzierung und Kontaktierung der Bauteile mit Hilfe des Programms Eagle-

2.4.2.4 Vorläufige Bauteilplatzierung der Empfänger- und Uhr-Leiterplatte



- Abbildung 25: Vorläufige Bauteilplatzierung der Empfänger- und Uhr-Leiterplatte -

2.4.2.5 Pads und Durchkontaktierungen der Oberseite



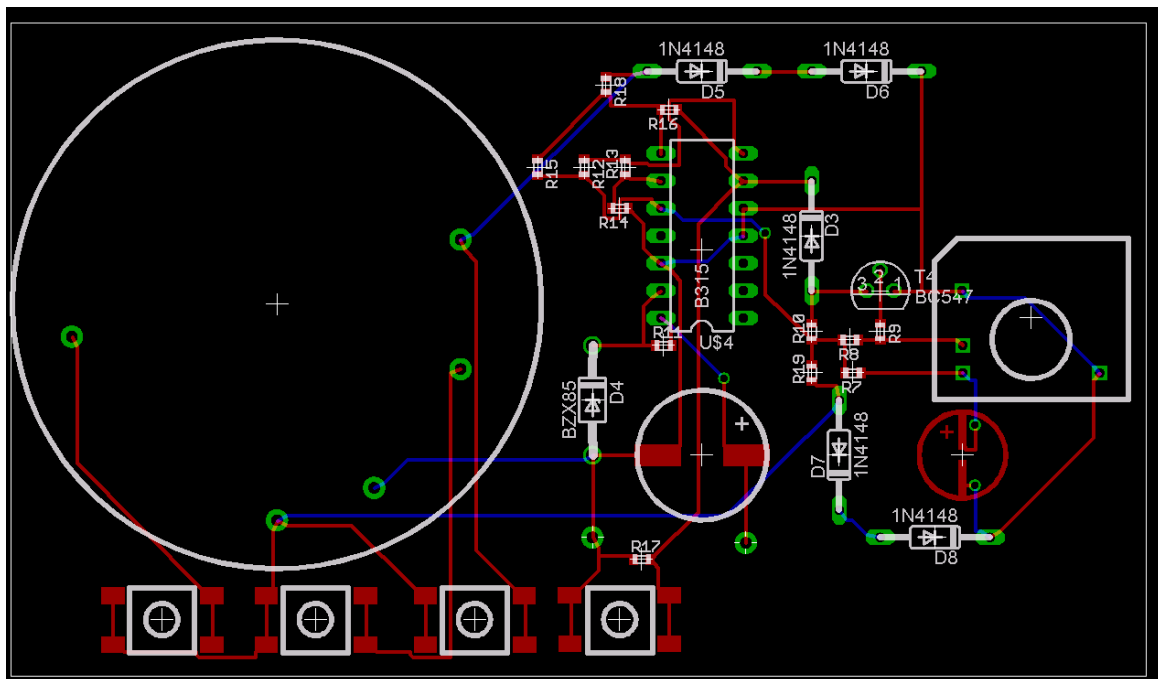
- Abbildung 26: Pads und Durchkontaktierungen der Oberseite -

Die Rechtecke stellen Pads dar und die konzentrischen Kreise Durchkontaktierungen der Bauteile.

Bei dem vollständigen Routen der Bauteile können eventuell noch Vias hinzukommen.

Die Außenhülle der Uhr wurde zum Verständnis beibehalten.

2.4.2.6 Platzierung und Kontaktierung der Bauteile mit Hilfe des Programms Eagle



- Abbildung 27: Platzierung und Kontaktierung der Bauteile mit Hilfe des Programms Eagle-

2.4.3 Bauteileliste¹⁹

Bauteilart	Bauteil	Wert	Bauteilart	Bauform	Bauteilabmaße (in mm) L x B x H	Anhang	Preis in € bei 1000 Stück
Widerstand	R1	22kΩ	SMD	0603	1,6 x 0,8 x 0,45	1	0,18
Widerstand	R2	10kΩ	SMD	0603	1,6 x 0,8 x 0,45	1	0,18
Widerstand	R3	10kΩ	SMD	0603	1,6 x 0,8 x 0,45	1	0,18
Widerstand	R4	1kΩ	SMD	0603	1,6 x 0,8 x 0,45	1	0,18
Widerstand	R5	12Ω	SMD	0603	1,6 x 0,8 x 0,45	1	0,18
Widerstand	R6	1kΩ	SMD	0603	1,6 x 0,8 x 0,45	1	0,18
Widerstand	R7	220Ω	SMD	0603	1,6 x 0,8 x 0,45	1	0,18
Widerstand	R8	2k7Ω	SMD	0603	1,6 x 0,8 x 0,45	1	0,18
Widerstand	R9	1kΩ	SMD	0603	1,6 x 0,8 x 0,45	1	0,18
Widerstand	R10	1kΩ	SMD	0603	1,6 x 0,8 x 0,45	1	0,18
Widerstand	R11	390Ω	SMD	0603	1,6 x 0,8 x 0,45	1	0,18
Widerstand	R12	2k2Ω	SMD	0603	1,6 x 0,8 x 0,45	1	0,18
Widerstand	R13	22kΩ	SMD	0603	1,6 x 0,8 x 0,45	1	0,18
Widerstand	R14	22kΩ	SMD	0603	1,6 x 0,8 x 0,45	1	0,18
Widerstand	R15	2k2Ω	SMD	0603	1,6 x 0,8 x 0,45	1	0,18
Widerstand	R16	22kΩ	SMD	0603	1,6 x 0,8 x 0,45	1	0,18
Widerstand	R17	22kΩ	SMD	0603	1,6 x 0,8 x 0,45	1	0,18
Widerstand	R18	1kΩ	SMD	0603	1,6 x 0,8 x 0,45	1	0,18
Widerstand	R19	1kΩ	SMD	0603	1,6 x 0,8 x 0,45	1	0,18
Kondensator	C1	100μF, 35V	SMD		8,9 x 9,7 x 12	2	39,85
Kondensator	C2	100nF	SMD	0603	1,6 x 0,8 x 0,9	3 - 16 V-, ±10 %, X7R	0,58
Kondensator	C3	100nF	SMD	0603	1,6 x 0,8 x 0,9	3 - 16 V-, ±10 %, X7R	0,58
Kondensator	C4	4,7nF	SMD	0603	1,6 x 0,8 x 0,9	3 - 50 V-, ±10 %, X7R	0,68

Kondensator	C5	22 μ F, 16V	SMD		5,5 x 4,3 x 5,4	4	8,75
Kondensator	C6	100 μ F, 25V	SMD		8,9 x 9,7 x 12	2	21,45
Transistor	T1	BC237C	THD	TO92	5,2 x 4,19 x 5,33	5	3,00
Transistor	T2	BC237C	THD	TO92	5,2 x 4,19 x 5,33	5	3,00
Transistor	T3	BC337-40	THD	TO92	5,2 x 4,19 x 5,33	6	5,00
Transistor	T4	BC547B	THD	TO92	5,2 x 4,19 x 5,33	7	2,00
IR-Diode ²⁰	D1	50 mW/sr	THD		5 x 5 x 12	9 - TSHA 6203 Artikel-Nr.: 182699 - 62	61,00
IR-Diode ²¹	D2	51 mW/sr	THD		5 x 5 x 12	9 - TSHA 6203 Artikel-Nr.: 182699 - 62	61,00
Diode	D3	1N4148	THD	DO35	ca. 15 x 1,91 x 1,91	8	2,00
Zener-Diode	D4	ZPY5,6	THD	DO41	ca. 15 x 2,72 x 2,72	10	7,00
Diode	D5	1N4148	THD	DO35	ca. 15 x 1,91 x 1,91	8	2,00
Diode	D6	1N4148	THD	DO35	ca. 15 x 1,91 x 1,91	8	2,00
Diode	D7	1N4148	THD	DO35	ca. 15 x 1,91 x 1,91	8	2,00
Diode	D8	1N4148	THD	DO35	ca. 15 x 1,91 x 1,91	8	2,00
Taster	S1		SMD		10 x 6 x 5	11	18,00
Taster	S2		SMD		10 x 6 x 5	11	18,00
Taster	S3		SMD		10 x 6 x 5	11	18,00
Taster	S4		SMD		10 x 6 x 5	11	18,00
IC	IC1		THD	DIP14	19,75 x ca. 8 x 4,15	12	100,00
IC	IC2		THD		15 x 18 x 14		300,00
Uhr	Uhr		THD		Ø 49 H ?		200,00
Sockel							2,00
Summe							901,31

Preise in Euro / 100 Stück; Preise bei Abnahme von 1000 Stck
Preise aus Schukat elektronik Katalog 2006 (www.schukat.com)

2.5 Konzept Uhl

[Bearbeiter: Uhl]

Teilfunktion	Aspekte						
Mechanische Stabilität der Leiterplatte gewährleisten	Material	Keramik	FR2	FR3	FR4	FR5	Folie
	Form	flexibel	starr				
Bauelemente aufnehmen und anordnen	Bestückung	Automatisch einseitig	Automatisch beidseitig	Handbest.			
	Leiterplattengröße	100*160 mm	80*100 mm	80*60 mm	Minimiert		
	Leiterplattenanzahl	1	2				
	Bauteilart	THD	SMD	gemischt			
	Bestückungsart	manuell	maschinell	gemischt			
Mechanische Stabilität der Baugruppen sichern	Methode	gedruckt	Lochstreifen	Lochraster			
	Lötverfahren	Reflowlöten	Schwalllöten	Doppelwellenlöten	Handlöten		
	Padform	rund	viereckig	achteckig	gemischt	oval	
	Lochraster	1,27 mm	2,54 mm	je nach Bauteil			
Bauelemente elektrisch verbinden	Anzahl der Leiterebenen	1	2	3	4		
	Durchkontaktierung	durchgehend	lagenweise	Keine			
	Durchmesser d. Vias	0,6 mm	0,7 mm	0,8 mm	0,9 mm		
	Kupferauflage	17,5 µm	35 µm	70 µm	105 µm		
	Min. Leiterbahnbreite	0,2 mm	0,5 mm	1,0 mm	1,5 mm		
	Min. Leiterbahnabstand	0,25 mm	0,64 mm	1,27 mm	2,54 mm	0,2	
Elektromagnetische Verträglichkeit gewährleisten	Anordnung der Bauteile	nach Funktion	beliebig				
	Anordnung des Leitungspotentials	linienförmig	sternförmig	netzförmig	flächig		
Schutzmaßnahmen gewährleisten	Schutzklassen	Schutzisoliert	Schutzerdung	Schutzklein-spg.			

2.5.1 Mechanische Stabilität der Leiterplatte gewährleisten

Als Trägermaterial für die Leiterplatten wird FR4 (Epoxydharz mit Glasfasergewebe) verwendet. Dieses Trägermaterial gilt mittlerweile in der Industrie als Standard und kann somit kostengünstig und jederzeit in der gewünschten Größe und Form von gängigen Leiterplattenherstellern bezogen werden. Um eine ausreichende Stabilität der Leiterplatten zu gewährleisten und um eine bessere Handhabung zu erreichen werden die Leiterplatten starr ausgeführt.

2.5.2 Anordnung der Bauelemente realisieren

Um die Funktion der Lichtschranke einwandfrei gewährleisten zu können wird die Schaltung auf zwei Leiterplatten verteilt. Dabei befinden sich Empfänger und Uhr gemeinsam auf einer Leiterplatte - für den Sender wird eine separate Leiterplatte gewählt.

Die Leiterplattengröße für das Empfänger- / Uhrenmodul entspricht dabei 80 x 60 mm. Die Größe des Senders soll minimiert werden. Um eine möglichst günstige Produktion in der bestehenden Serienfertigung gewährleisten zu können wird für die passiven und einige der aktiven Bauelemente die SMD-Bauform verwendet.²²

Bezeichnung im Schaltplan	Wert (Typ)	Handelsbezeichnung	Maße [mm]	Preis [€]
C1	100µF, 35V	SMD ELKO 100 UF 35 V	8,9 x 9,7 x 12	39,85
C6	100µF, 25V	SMD ELKO 100 UF 25V	8,9 x 9,7 x 12	21,45
C2, C3	100nF	SMD VS KONDENSATOR 0.1 UF 0805 50 V	1,6 x 0,8 x 0,9	0,58
C4	4,7nF	SMD VS KONDENSATOR 0.047 UF 0805 50 V	1,6 x 0,8 x 0,9	0,68
C5	22µ, 16V	ELKO SMD 105°C 22µF 16V 4,0X5,4 G	5,5 x 4,3 x 5,4	8,75
R1, R13, R14, R16, R17	22k	SMD WIDERSTAND 22K 1% 0603	1,6 x 0,8 x 0,45	0,18
R2, R3	10k	SMD WIDERSTAND 10K 1% 0603	1,6 x 0,8 x 0,45	0,18
R8	2k7	SMD WIDERSTAND 2K7 1% 0603	1,6 x 0,8 x 0,45	0,18
R12, R15	2k2	SMD WIDERSTAND 2K2 1% 0603	1,6 x 0,8 x 0,45	0,18
R4, R6, R9, R10, R18, R19	1k	SMD WIDERSTAND 1K 1% 0603	1,6 x 0,8 x 0,45	0,18
R11	390	SMD WIDERSTAND 390 1% 0603	1,6 x 0,8 x 0,45	0,18
R7	220	SMD WIDERSTAND 220 1% 0603	1,6 x 0,8 x 0,45	0,18

R5	12	SMD WIDERSTAND 12 1% 0603	1,6 x 0,8 x 0,45	0,18
T1, T2	BC237C	TRANS. BC237C TO92	5,2 x 4,19 x 5,33	3,00
T3	BC337-40	TRANS. BC337-40 TO92	5,2 x 4,19 x 5,33	5,00
T4	BC547B	TRANS. C547B TO92	5,2 x 4,19 x 5,33	2,00
D1, D2	IR-Dioden 50 mW/sr	TSHA 6203 Artikel- Nr.: 182699 - 62	5 x 5 x 12	61,00
D3, D5, D6, D7, D8	1N4148	DIODE 1N4148 DO35	15 x 1,91 x 1,91	2,00
D4	ZPY5,6	ZENERDIODE ZPY5,6 DO41	15 x 2,72 x 2,72	7,00
IC1	B315	B315 (THD)	19,75 x 8 x 4,15	100,00
IC2	TFMO4036	(THD)	15 x 18 x 14	300,00
S1 ... S4	FSMJSA (G059.632)	FSMJSA (G059.632) (SMD)	10 x 6 x 5	18,00
N1	B232E	THD	Ø49	200,00
Sockel				2,00
			Summe	901,31

Preise in Euro / 100 Stück; Preise bei Abnahme von 1000 Stck
Preise aus Schukat electronic Katalog 2006 (www.schukat.com)

Durch Vorgabe des optischen Empfängers IC2 (TFM4036) wird die Verwendung von SMD-Bauteilen erforderlich. Daneben werden die Transistoren (T1-T4), die Dioden (D1-D8) und IC1 ebenfalls in THD-Technologie verwendet, da diese im Vergleich zu SMD-Bauelementen günstiger zu beziehen sind. Die Bestückung der Bauelemente erfolgt auf nur einer Seite der Leiterplatten. Eine Ausnahme bildet dabei das Uhrenmodul N1. Dieses wird mit bereits angelöteten Litzen geliefert, welche nicht verändert werden. Eine Bestückung vor dem Reflow- bzw. Schwalllötten kommt somit nicht in Frage, da sich hierdurch die angelöteten Litzen lösen könnten. Daher wird das Modul nach dem automatischen Lötten handbestückt und handgelötet. Die Platzierung erfolgt dabei in ausreichender Höhe auf der Rückseite der Leiterplatte.

2.5.3 Fixierungen herstellen

Bei der Herstellung handelt es sich um eine Serienproduktion, daher werden die Pads und die Leiterbahnen auf der Leiterplatte gedruckt. Damit kann eine individuelle Platzierung der Bauelemente gewährleistet werden.

Die Pads werden dabei oval ausgeführt. Die ovale Form weist eine größere Verbindungsfläche zwischen den Kontaktflächen der Bauelemente und der

Leiterplatte als z.B. runde Pads auf. Damit kann beim Lötvorgang mehr Lot verwendet werden. Dies gewährleistet gerade beim Reflow-Löten von SMD-Bauteilen eine größere mechanische Stabilität der Bauelemente auf der Leiterplatte.

Als Verbindungsverfahren wird Reflow-Löten gewählt. Um die aktiven Bauelemente beim Erhitzen der Leiterplatte nicht zu zerstören wird als Reflow-Verfahren das Kondensationslöten verwendet. Dabei wird vor der Bestückung der Bauelemente per Siebdruck die Lotpaste auf die Leiterplatte aufgebracht. Die Verwendung der Lotpaste bietet den Vorteil, dass die Bauelemente bis zum Lötvorgang an der klebrigen Lotpaste haften bleiben. Ein Aufkleben der Bauelemente ist so nicht notwendig.

Nach dem Löten der SMD-Bauteile werden die THD-Bauteile mit einem THD-Bestückungsautomaten platziert und anschließend im Swallötverfahren gelötet.

Im Anschluss wird das Uhrenmodul von Hand auf der Rückseite der Leiterplatte angelötet.

Ein Lochraster entfällt, da es sich bei der Leiterplatte um eine individuell - je nach Bauelement - gedruckte Leiterplatte handelt.

2.5.4 Elektrische Verbindungen erzeugen

Die Bestückung und die Verbindung der Bauelemente erfolgt auf zwei Ebenen der Leiterplatte. Somit werden Vias benötigt. Um hierbei den Verbrauch von Lötzinn und die Fehler durch Lötchlüsse zu minimieren wird Lötstopplack verwendet. Wegen des geringen Stromes können die Leiterbahnen und Pads in den gebräuchlichen Dimensionen ausgeführt werden:

- Kupferauflage Signal: 35 μm
- Kupferauflage Versorgung: 35 μm
- Minimale Leiterbahnbreite: 0,2 mm
- Minimaler Leiterbahnabstand: 0,2 mm
- Durchmesser der Vias: 0,6 mm
- Kleinster Abstand von nicht durch Lötstopplack abgedeckten Kupferflächen zueinander: 0,4 mm

Wegen der geringen Störanfälligkeit der Schaltung ist eine störende Beeinflussung durch benachbarte Leiterbahnen nicht zu erwarten. Durch die kleinen Spannungen ist die Überschlagsfestigkeit gegeben. Möglichst alle leicht anzuschließenden unbenutzten Kupferbereiche werden für die Masseführung verwendet (Abstand von 0,3 mm zu Leitungen mit anderem Signal).

2.5.5 Elektromagnetische Verträglichkeit gewährleisten

Aufgrund der geringen Stromaufnahme und den niedrigen Frequenzen ist eine Beeinträchtigung der Funktion durch die gemeinsame Masse und der gemeinsamen Betriebsspannungszuführung auf den jeweiligen Leiterplatten nicht zu erwarten.

Als empfindlicheres Bauelement kann Uhrenmodul (N1, B232E) betrachtet werden. Hierfür wird jedoch eine eigene Spannungsversorgung vorgesehen. Die Dioden zur Spannungsstabilisierung bzw. zur Spannungsbegrenzung werden so nahe wie möglich am Uhrenmodul angeordnet um lange Leitungen zu den Eingängen des Moduls zu verhindern.

Ansonsten erfolgt die Anordnung der Bauelemente ebenfalls nach Funktion um lange Leiterbahnen zu vermeiden. Dadurch werden die parasitären Kapazitäten und Induktivitäten der Leiterbahnen minimiert.

Durch die Verwendung der unbenutzten Kupferbereiche als Massefläche wird die Elektromagnetische Verträglichkeit ebenfalls erhöht.

2.5.6 Schutzmaßnahmen gewährleisten

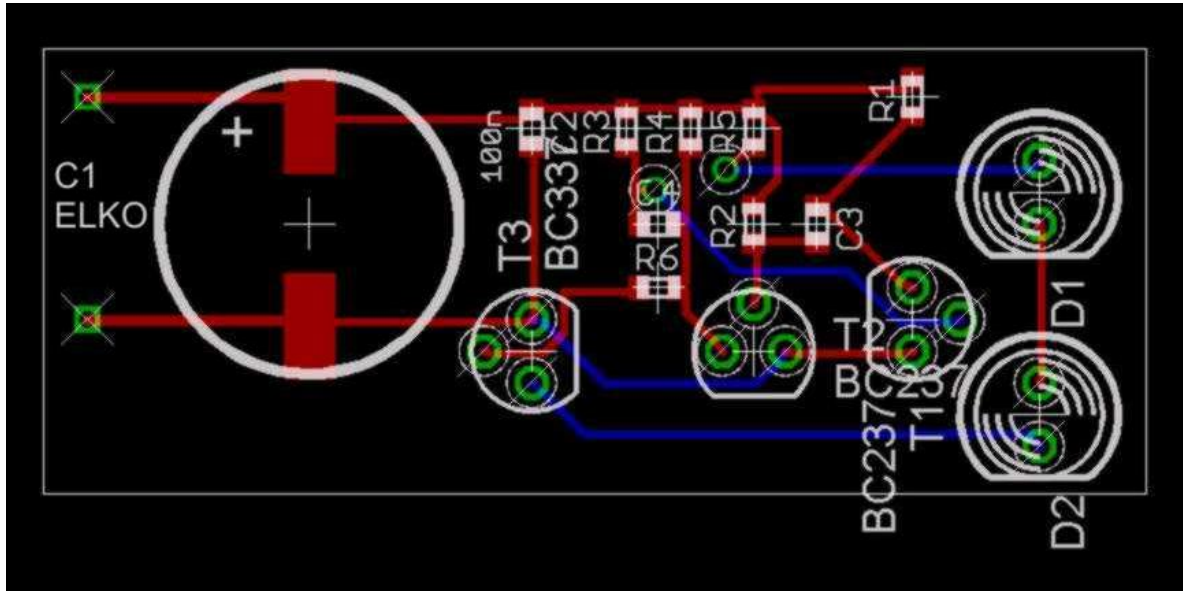
Laut Anforderungsliste ist als Schutzklasse „Schutzkleinspannung“ gefordert. Die verwendete Betriebsspannung beträgt 9 V und entspricht somit einer Schutzkleinspannung.

2.5.7 Wärmeabfuhr gewährleisten

Die maximale Verlustleistung beträgt laut Funktionsabschätzung 0,3 W. Die Wärmeemission erfolgt von allen Bauteilen in etwa gleichmäßig. Durch ein geeignetes Gehäuse kann die Abwärme gut nach Außen abgeführt werden. Besondere Kühlmaßnahmen der Bauteile sind nicht zu treffen.

2.5.8 Leiterplatten

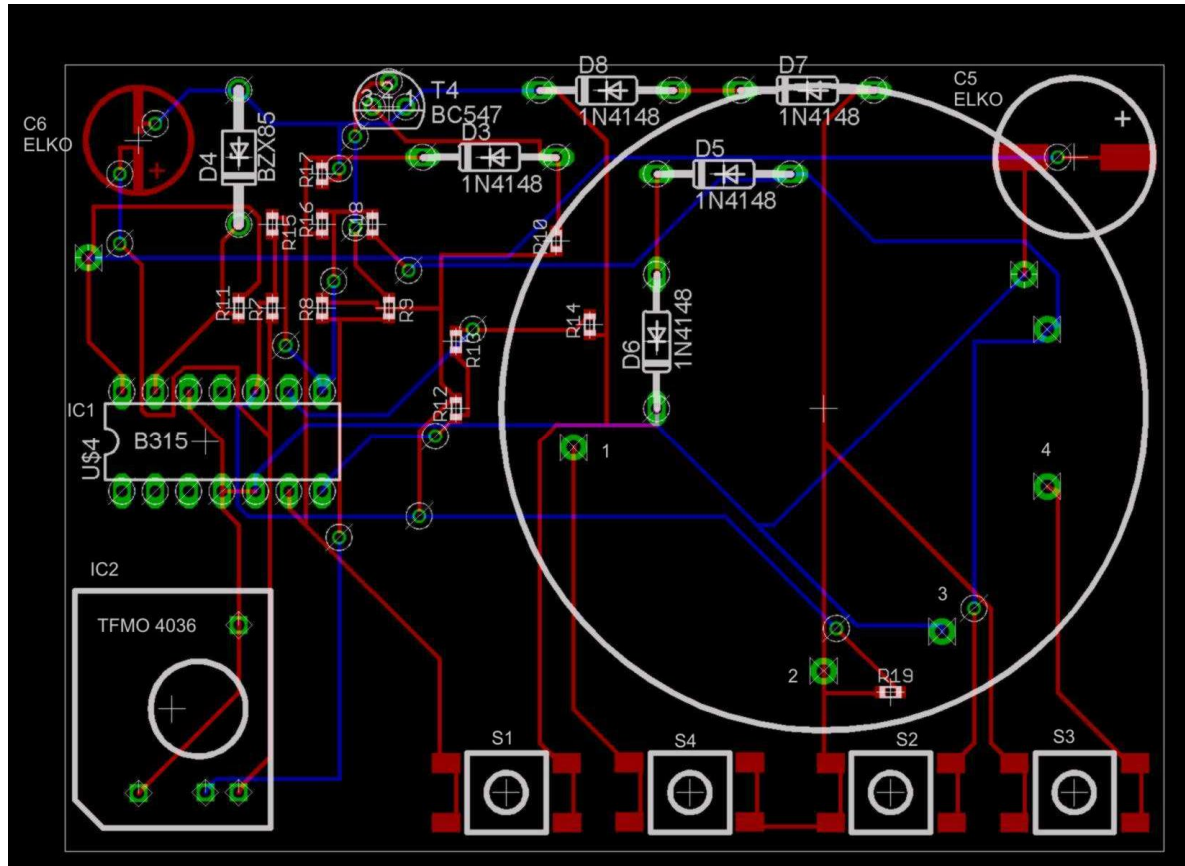
2.5.8.1 Vorläufige Bauteileplatzierung und Leitungsführung der Senderleiterplatte



- Abbildung 28 : Vorläufige Bauteileplatzierung und Leitungsführung der Senderleiterplatte -

- Alle Bauteile werden auf der Oberseite der Leiterplatte bestückt.
- Die Schaltung kann auf einer Platine 44 x 18 gefertigt werden.

2.5.8.2 Vorläufige Bauteileplatzierung und Leitungsführung der Empfänger-Uhren-LP



- Abbildung 29 : Vorläufige Bauteileplatzierung und Leitungsführung der Empfänger-Uhrenleiterplatte-

- Einspeisung der Versorgungsspannung möglichst nahe am Uhrenmodul
- Alle Bauteile (bis auf das Uhrenmodul) werden auf der Oberseite der Leiterplatte bestückt.
- Die Dioden D5 - D8 werden möglichst nahe am Uhrenmodul platziert
- Die Schalter S1 - S4 werden möglichst nahe am Rand platziert (leichte Bedienbarkeit)
- Das IR-Empfängermodul (IR2) wird möglichst nahe am Rand platziert
- (dadurch wird nur kleine Aussparung im Gehäuse für die Lichtstrahlen nötig)
- Die Schaltung kann auf einer Platine 80 x 60 gefertigt werden.

2.6 Funktionsabschätzung

[Bearbeiter: Erzen]

- A stabile Kippstufe:

$$t_p = 0,69 \cdot R_2 \cdot C_3 = 690 \mu\text{s}$$

$$t_i = 0,69 \cdot R_3 \cdot C_4 = 3,2 \mu\text{s}$$

$$f = 1/(t_i + t_p) = 1,44 \text{ kHz}$$

- Leiterlänge

Die höchste vorkommende Frequenz (astabile Kippstufe) ist im Bereich von wenigen kHz. Somit ist die kritische Leitungslänge viel größer als die vorkommenden Leitungslängen. Insbesondere sind keine angepassten Leitungen notwendig.

- Stromaufnahme:

Berechnung der Stromaufnahme der einzelnen Stufen:

- Sender:

$$I(\text{Dioden}) \approx (U_b - 4\text{V})/R_5 \cdot T_i/T_p \approx 2\text{mA}$$

$$I(\text{Kippstufe}) \approx 1,5 \cdot U_b / (R_2 // R_3) + U_b / R_4 = 2,7\text{mA} + 9\text{mA} \approx 12\text{mA}$$

$$I(\text{Sender}) = I(\text{Dioden}) + I(\text{Kippstufe}) \approx 15\text{mA}$$

- Empfänger:

$$U(\text{Pin1}) \approx U(\text{D4}) - 0,7\text{V} \approx 5\text{V}$$

$$I(\text{Empfänger}) \approx U(\text{Pin1})/R_{10} \approx 5\text{mA}$$

- Uhr:

$$I(R_{19}) \approx U(\text{Pin1} - 1,4\text{V})/R_{19} \approx 3,6\text{mA}$$

$$I(R_{11}) \approx (U_b - U(\text{D4})) / R_{11} \approx 9\text{mA}$$

$$I(R_{12}; R_{15}) \approx U_b / R_{12} \approx 3\text{mA}$$

- Gesamte Schaltung:

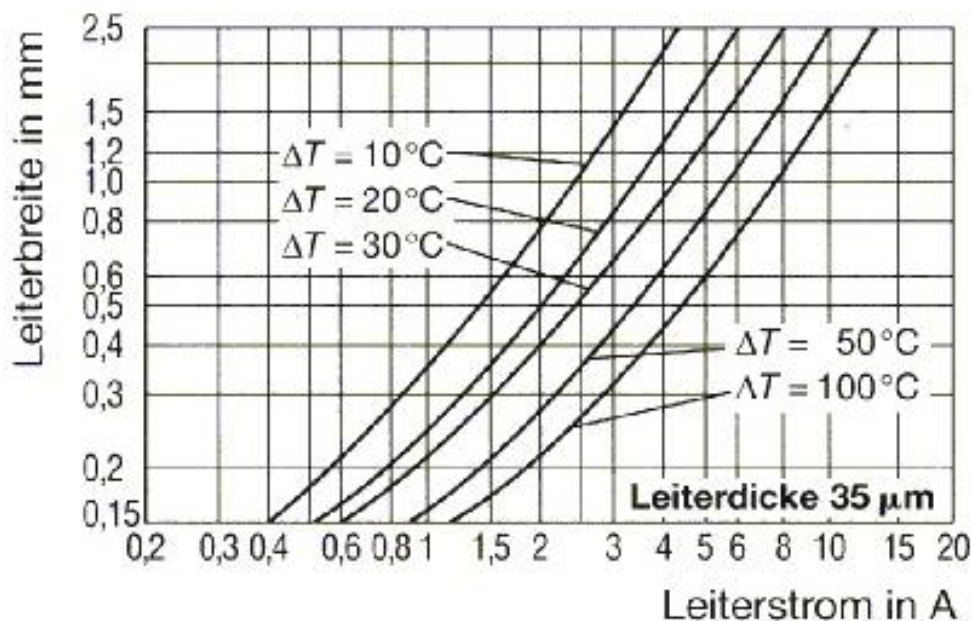
$$I < 30\text{mA}$$

- Leistungsaufnahme:

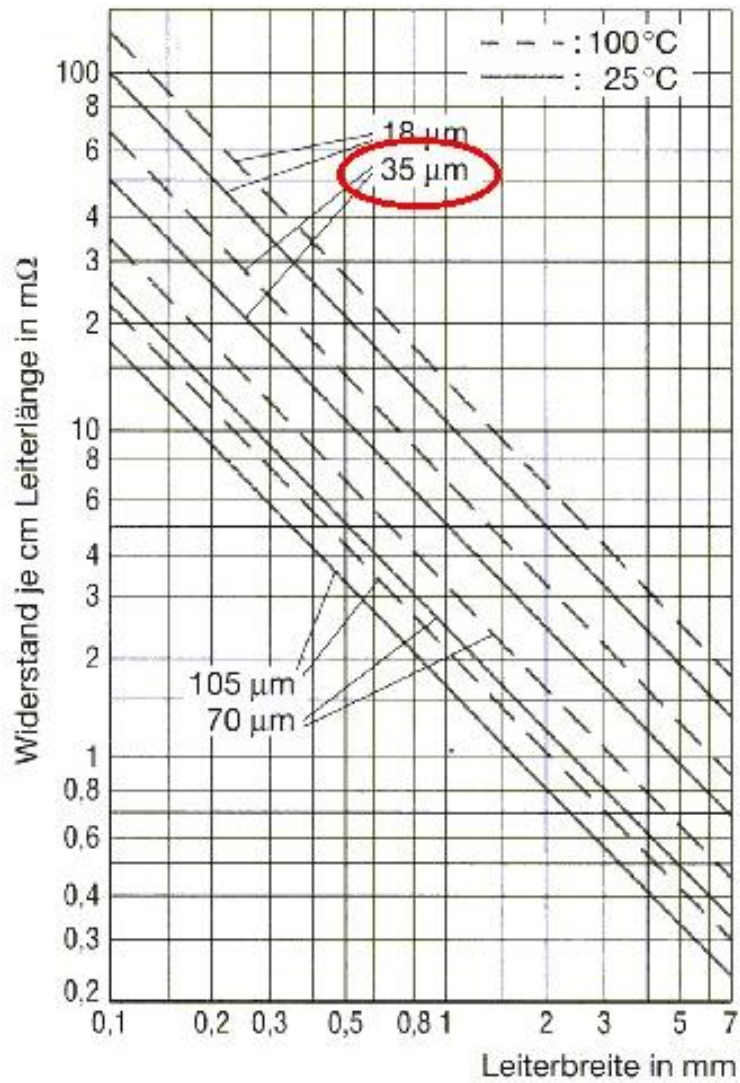
$$P_{\max} = U_b \cdot I_{\max} = 9V \cdot 30mA = 0,27W$$

- Leiterbahnbreite und Leiterbahnwiderstand:

Die Leiterbahnbreite wird durch den maximal möglichen fließenden Strom bestimmt und dieser wird wiederum durch den maximal zulässigen Strom der Bauelemente bestimmt. Für die Leiterbahndicke wird eine Stärke von 35 μm gewählt. Die notwendige Leiterbahnbreite für den max. Strom liegt unter der min. Leiterbahnbreite von 0,2mm. Auch der Leiterbahnwiderstand ist bei diesem Strom so gering, dass keine nennenswerten Spannungen auf der Leiterbahn durch deren Widerstand hervorgerufen werden könnten.²³



- Abbildung 30: Strombelastbarkeit für Leiterdicke von 35 μm -



- Abbildung 31: Widerstand pro cm Leiterlänge in
Abhängigkeit von der Leiterbahnbreite -

2.7 Projekt-Bericht

[Bearbeiter: Hofmann, Uhl]

Alle für die Phase Konzipieren notwendigen Tätigkeiten wurden ohne Probleme bewältigt. Bis zum heutigen Tag wurden die Funktionsgliederung, die Morphologie und die Funktionsabschätzung vollinhaltlich und termingerecht erstellt. Die Konzepte der Gruppenmitglieder wurden ebenfalls vollinhaltlich, termingerecht und eigenverantwortliche angefertigt. Für die nächste Phase Entwerfen wurden keine erkennbaren Probleme festgestellt.

2.8 Personal-Zeit-Plan: Entwerfen

[Bearbeiter: Hofmann, Uhl]

Tätigkeit	Bearbeiter	Soll-Zeit	Ist-Zeit	Soll-Termin	Ist-Termin
TW-Bewertung	Hofmann	2h	2h	24.10.2006	22.10.2006
	Erzen	2h	2h	24.10.2006	22.10.2006
	Uhl	1h	2h	07.10.2006	06.11.2006
S-Diagramm	Hofmann				
	Erzen				
	Uhl	1h	2h	07.10.2006	06.10.2006
Librarian	Hofmann	2h	8h	07.11.2006	31.10.2006
	Erzen	2h	8h	07.11.2006	31.10.2006
	Uhl	2h	8h	07.11.2006	31.10.2006
Entwurf	Hofmann	6h	10h	28.11.2006	29.11.2006
	Erzen	6h	10h	28.11.2006	29.11.2006
	Uhl	6h	10h	28.11.2006	29.11.2006
Projekt-Bericht	Hofmann	0,25h	0,25h	28.11.2006	30.11.2006
	Erzen	0,25h	0,25h	28.11.2006	30.11.2006
	Uhl	0,25h	0,25h	28.11.2006	30.11.2006
Personal-Zeit-Plan Ausarbeiten	Hofmann	0,25h	0,5h	28.11.2006	30.11.2006
	Erzen	0,25h	0,5h	28.11.2006	30.11.2006
	Uhl	0,25h	0,5h	28.11.2006	30.11.2006
Fragenliste	Hofmann	0,25h	0,1h	28.11.2006	30.11.2006
	Erzen	0,25h	0,1h	28.11.2006	30.11.2006
	Uhl	0,25h	0,1h	28.11.2006	30.11.2006

2.9 Fragenliste

[Bearbeiter: Erzen, Hofmann, Uhl]

- Wann ist Testattermin zur Phase Entwerfen?
- Wie werden die Schaltungsunterlagen miteinander verknüpft?

3 Phase Entwerfen

3.1 Technisch-Wirtschaftliche Bewertung

[Bearbeiter: Erzen, Hofmann, Uhl]

Die Technisch-Wirtschaftliche (TW) Bewertung soll Entwicklern helfen, ein Produkt hinsichtlich seiner Gesamtmerkmale zu bewerten. Hierzu werden die verschiedenen Konzepte nach einem Beurteilungsverfahren geprüft.

Es wurde für die Bewertung eine 5-stellige Bewertungsskala benutzt:

4 Punkte	sehr gut
3 Punkte	gut
2 Punkte	ausreichend
1 Punkte	gerade noch tragbar
0 Punkte	unbefriedigend

Da verschiedene Eigenschaften verschieden wichtig sind, wurde ein Bewertungsfaktor eingeführt:

Bewertungsfaktor 1	sehr wichtig
Bewertungsfaktor 0,9	wichtig
Bewertungsfaktor 0,8	weniger wichtig

3.1.1 Technische Bewertung

Kriterium	Konzept Erzen	Konzept Hofmann	Konzept Uhl	Bewertungsfaktor
Leiterplatte(n)	4	3	3	0,9
Verwendete Lötverfahren	4	3	3	1
Verwendetes Bestückungsverfahren	4	4	4	0,9
Bedienbarkeit	4	4	3	0,8
Funktionalität	4	4	4	0,8

Batterielaufzeit	3	3	3	0,8
Reichweite	3	4	4	0,9
Summe mit Bewertungsfaktor:	22,7	21,7	20,9	

3.1.1.1 Leiterplatte(n)

Die Größe und Anzahl der Leiterplatte hat vor allem auf den Preis einen Einfluss und ist daher für die wirtschaftliche Bewertung wichtiger als für die technische, deswegen geht dieser Punkt mit einem niedrigen Bewertungsfaktor ein. Da bei den Konzepten von Uhl und Hofmann 2 Leiterplatten verwendet werden ist die Bepunktung niedriger als bei dem Konzept von Erzen.

3.1.1.2 Verwendete Lötverfahren

Bei dem Lötverfahren ist darauf zu achten, dass es sich für die verwendeten Materialien eignet und der dadurch entstehende Arbeitsaufwand der Stückzahl angepasst ist. Deshalb geht das Lötverfahren stärker gewichtet ein. Bei dem Konzept von Erzen werden ausschließlich Durchsteckbauteile benutzt, wofür Schwallloten verwendet werden muss. Dagegen wird bei den Konzepten von Uhl und Hofmann sowohl SMD als auch Durchsteckbauteile verwendet. Hierfür wird Reflow- und Schallloten benötigt. Das Uhrenmodul wird allerdings bei allen Konzepten zum Schluss per Hand angelötet.

3.1.1.3 Verwendetes Bestückungsverfahren

Das Bestückungsverfahren muss auf die Bauteile und die Seriengröße abgestimmt sein. Bei allen Konzepten ist Automatenbestückung vorgesehen, mit Ausnahme des Uhrenmoduls, dies ist für diese Aufgabe sehr funktionell. Deswegen geht dieser Punkt mit einer mittleren Gewichtung in die Bewertung ein.

3.1.1.4 Bedienbarkeit

Da die Bedienbarkeit der Stoppuhr bei allen Konzepten einfach und sehr ähnlich ist, wird die Bedienbarkeit mit einer geringen Gewichtung versehen.

3.1.1.5 Funktionalität

Der Schaltplan war von Anfang an gegeben, deswegen ist die Funktionalität bei allen Konzepten gleich und die Gewichtung ist gering.

3.1.1.6 Batterielaufzeit

Es wird eine 9V-Blockbatterie verwendet.

3.1.1.7 Reichweite

Bei dem Konzept von Erzen ist ein Reflektor vorgesehen, dadurch sinkt die Reichweite der Stoppuhr.

3.1.2 Wirtschaftliche Bewertung

In der wirtschaftlichen Bewertung werden die Gesamtkosten, bestehend aus Materialpreise und Fertigungskosten, ermittelt.

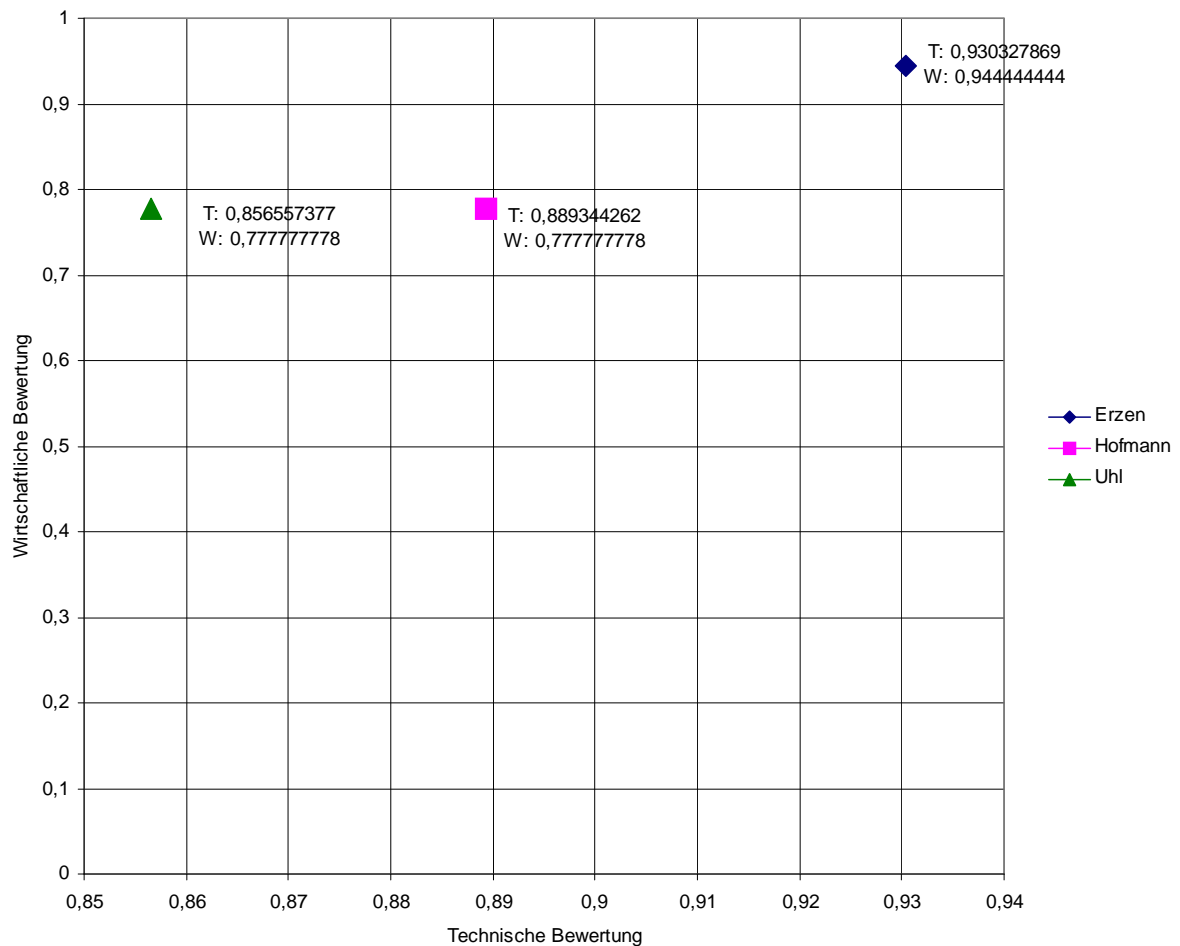
Kriterium	Konzept Erzen	Bewertung	Konzept Hofmann	Bewertung	Konzept Uhl	Bewertung
Bauteilepreis	7,9463 €	4	9,0131 €	3	9,0131 €	3
Leiterplatte(n)	0.8 €	4	1 €	3	1 €	3
Automatenbestücken Reflow	-	4	1 €	2	1 €	2
Löten Reflow	-	4	0,2 €	2	0,2 €	2
Automatenbestücken THD	1 €	4	1 €	4	1 €	4
Löten Schwall	0,2 €	4	0,2 €	4	0,2 €	4
Montage	2 €	4	2 €	4	2 €	4
Gehäusekosten	0,5 €	4	1 €	2	1 €	2
Reflektor	0,5 €	2	-	4	-	4
Summe:	12,9463 €	34	15,4131 €	28	15,4131 €	28

3.1.3 S-Diagramm

Aus den einzelnen Kriterien der Technischen- und wirtschaftlichen Bewertung wird jeweils das gewogene arithmetische Mittel \bar{p} gebildet. Der Abszissenwert

(technische Bewertung) berechnet sich aus $x = \frac{\bar{p}}{p_{\max}} = \frac{\bar{p}}{24,4}$. Der Ordinatenwert

(wirtschaftliche Bewertung) ergibt sich aus $y = \frac{\bar{p}_y}{p_{y,\max}} = \frac{\bar{p}_y}{36}$.



- Abbildung 32: S-Diagramm -

3.2 Entwurf

[Bearbeiter: Erzen, Hofmann, Uhl]

3.2.1 Librarian

Die Bibliotheksarbeit wurde mit dem Programmteil Librarian von Mentor Graphics erledigt. In der nachfolgenden Tabelle ist unter Bezeichnung der Handelsname mit den signifikanten Abmessungen der Bauelemente, unter Bauteilenummer die Bezeichnung im Schaltplan, unter Symbolname die Bezeichnung im Katalog, unter Packagename die Bezeichnung der Geometrie im Katalog und unter Partnumber die Bezeichnung im Katalog unseres Projektes angegeben.

Bezeichnung	Bauteil-Nr.	Symbol-name	Package-Name	Partnumber
4,7 nF RM5mm;B2.5;L6.5	C4	CAPACITOR	C	C
100 nF RM5mmM; B2.5;L6.5	C2,C3	CAPACITOR	C	C
22 µF 16V RM5mm;D5.0	C5	elko	elko22	elko22
100 µF 35V RM5mm;D8.5	C1	elko	elko100	elko100
100 µF 25V RM5mm;D8.5	C6	elko	elko100	elko100
12 Ohm 1/4W;D2.5;L7.5	R5	RESISTOR_H	R10	R_SEND
220 Ohm 1/4W;D2.5;L7.5	R7	RESISTOR_V	R10	R_EMPF
390 Ohm 1/4W;D2.5;L7.5	R11	RESISTOR_H	R10	R_UHR
1 kOhm 1/4W;D2.5;L7.5	R4,R6	RESISTOR_H	R10	R_SEND
1 kOhm 1/4W;D2.5;L7.5	R9,R10	RESISTOR_V	R10	R_EMPF
1 kOhm 1/4W;D2.5;L7.5	R18,R19	RESISTOR_H	R10	R_UHR
2,2 kOhm	R12,R1	RESISTOR_H	R10	R_UHR

1/4W;D2.5;L7.5	5			
2,7 kOhm 1/4W;D2.5;L7.5	R8	RESISTOR_V	R10	R_EMPF
10 kOhm 1/4W;D2.5;L7.5	R2,R3	RESISTOR_H	R10	R_SEND
22 kOhm 1/4W;D2.5;L7.5	R1	RESISTOR_H	R10	R_SEND
22 kOhm 1/4W;D2.5;L7.5	R13,R14, R16, R17	RESISTOR_H	R10	R_UHR
Diode TSHA 5201	D1,D2	LED	LED_T1.75	LED
Diode 1N4148;D2.0;L4.1	D5,D6, D7,D8	1N4148	D4148	D
Diode 1N4148;D2.0;L4.1	D3	1N4148	D4148	D
Zehner Diode 5,6V;D2.0;L4.1	D4	BZX85C5V6	D4148	D4
Transistor BC237	T1,T2	BC237A	TO92	T1_2
Transistor BC337	T3	BC337	TO92	IC1
Transistor BC547	T4	BC547	TO92	T4
IC TFMO 4036	IC2	TFMO 4036	TFMO_4036	TFMO_4036
IC B315	IC1	BC337	DIP14_C	IC1
Uhrenmodul	Uhr	Zeitanzeige	B232E_Anzeige	UHR
Taster	S1,S2, S3,S4	SW	taster	taster

Ziel war es einen Bauteilekatalog zu erstellen, in dem sämtliche für das zu erstellende Layout benötigten Bauelemente (inklusive Leiterplatte (Board)) mit der korrekten Geometrie, dem richtigen logischen Symbol des Bauelements, der entsprechenden Pinbelegung und den dazugehörigen Pads zu erstellen. Die Partnumbers wurden auf ihre Korrektheit mit der Check-Funktion des Moduls Librarian überprüft (

[Report 1]:

Geometrien: „Check → Geometry → Geometries → All“

[Report2]:

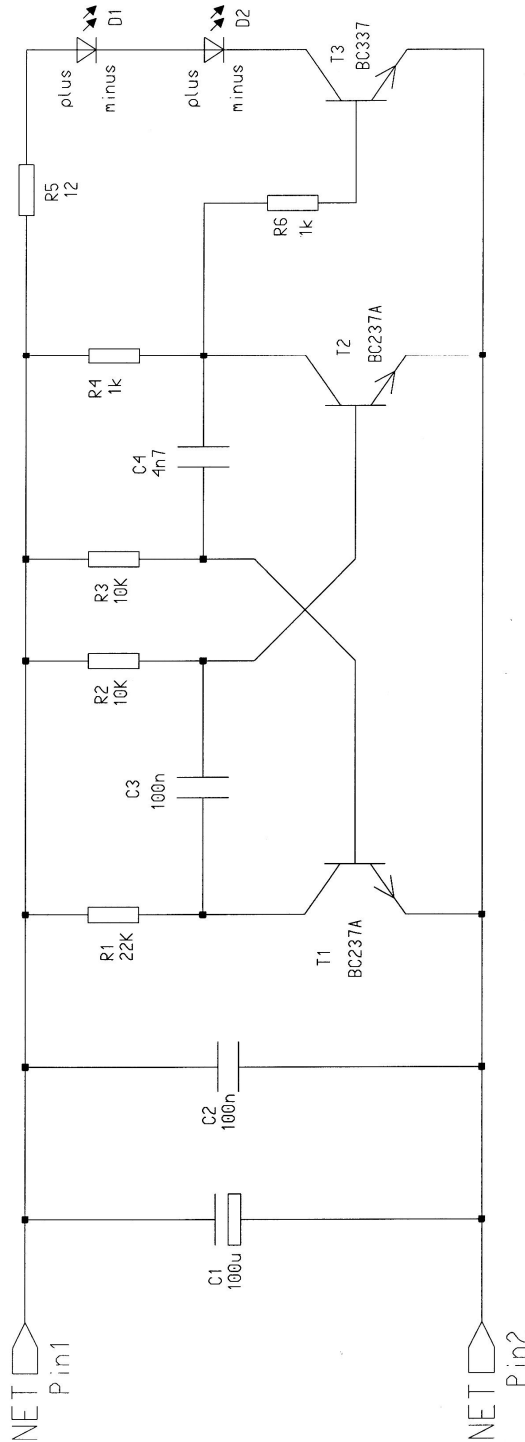
Partnumbers: „Check → Part Numbers → All“.

Die Erstellung des Kataloges erfolgte im Modus „Stand Alone“.

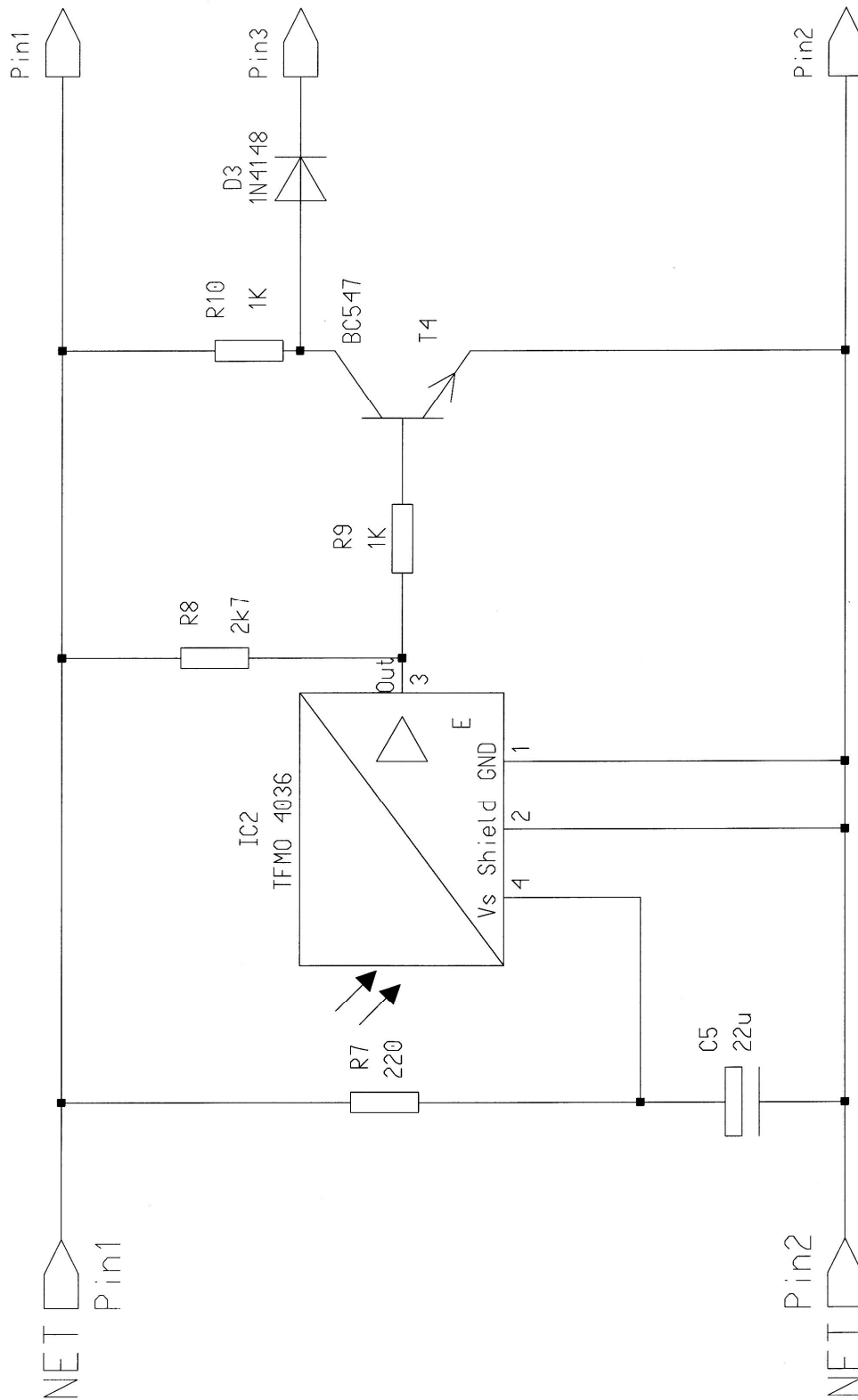
3.2.2 Package

Nachdem die Bibliotheksarbeit abgeschlossen war (alle für das Design notwendigen Bauelemente fehlerfrei vorhanden) wurde der im Modus „Stand Alone“ des Moduls Librarian erstellte Katalog kopiert. Hierzu wurde ein Design (Stoppuhr im vorliegenden Fall) angelegt und das Modul Librarian im Modus „on a Design“ geöffnet. Anschließend wurden alle Geometrien und Partnumbers aus den Katalogen „User/Geometries/ntgr13“ bzw. „User/Part Numbers/ntgr13“ nach „Design/Stoppuhr“ kopiert.

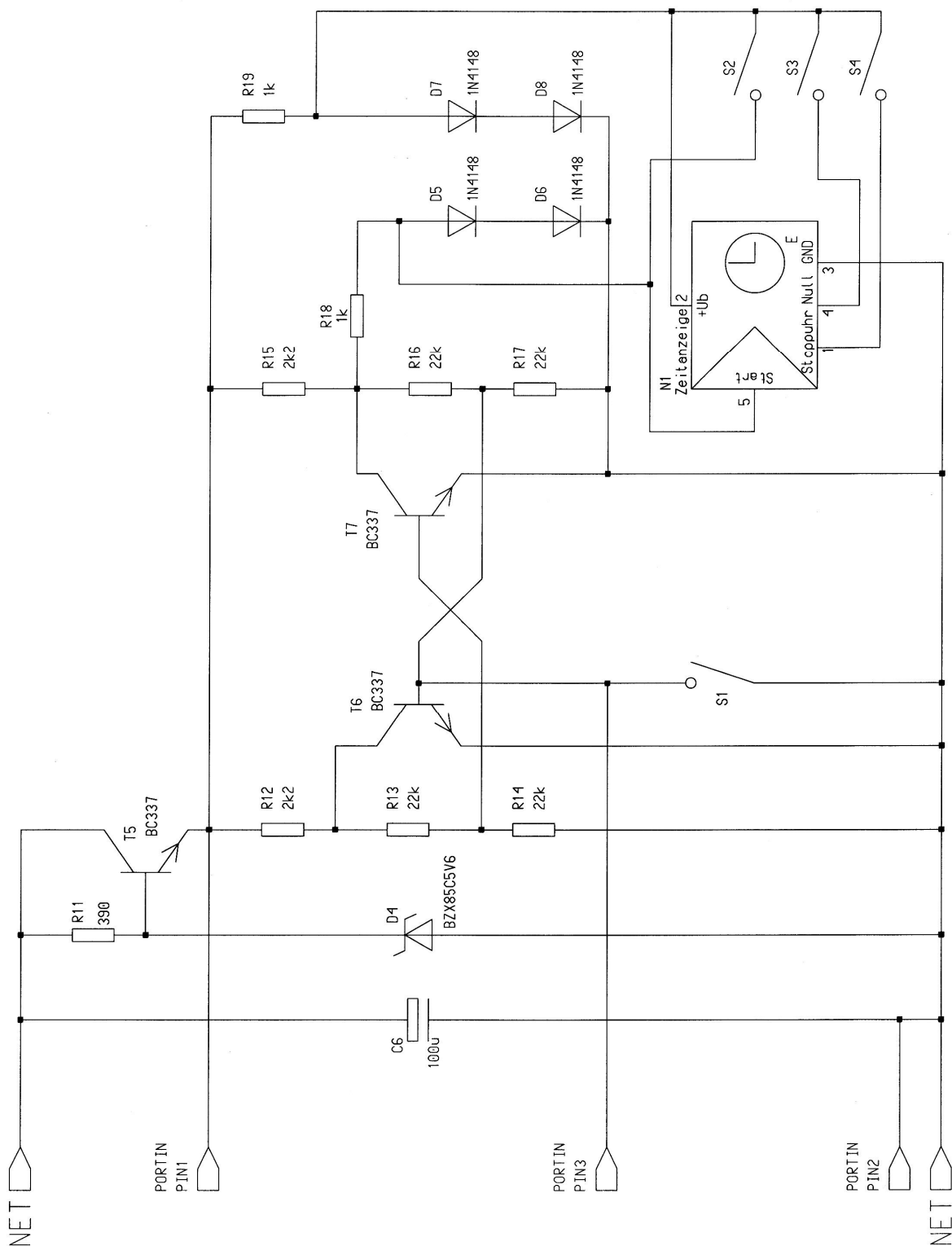
Der Schaltplan bestand zu diesem Zeitpunkt aus drei einzelnen Schematics. Diese galt es nun zu einem Schematic „Stoppuhr“ zusammenzufassen, da die Funktion auf einer Leiterplatte realisiert werden sollte. Dies geschah durch anlegen des neuen Schematics „Stoppuhr“ mit dem Modul Design Architect. Anschließend kopieren der einzelnen Schematics „empfaenger“, „sender“ und „uhr“ in „Sheet1“, „Sheet2“ und „Sheet3“ in das neu angelegte Schematic „Stoppuhr“ und abspeichern unter „/Design/Stoppuhr“. Um die elektrische Verbindung (zwischen den jeweiligen Schaltplanteilen, den einzelnen Sheets) und die Versorgungsspannung bzw. die Masseführung zu gewährleisten, mussten noch die richtigen Pins im Schaltplan angebracht werden. Die Spannungszuführung musste (im Gegensatz zu den Verbindungen der Schaltungsteile untereinander) mit einem Pin mit Pad realisiert werden. Dieser war in der Bibliothek noch nicht vorhanden und musste als Partnumber (mit Geometrie und Pad) angelegt werden. Außerdem wurden noch einige Unstimmigkeiten im Schaltplan bei den „Reference Designator“ der Signal-, Versorgungs- und Masseleitungen, sowie der Bauelemente geändert. Der Schaltplan mit der Funktion „Check → Schematic“ überprüft [Report 3]:



- Abbildung 33: Sender -



- Abbildung 34: Empfänger -



- Abbildung 35: Uhr -

Im Anschluss wurde das Modul Package mit dem Design „Stoppuhr“ geöffnet. Dort werden alle Bauelemente des Schaltplans des Designs mit ihrem „Schematic Symbol“, ihrer „Geometry“ und ihrer „Part Number“ miteinander verknüpft.



- Abbildung 36: Package Component Summary -

Um das Package des Designs zu erzeugen muss die Build-Funktion aufgerufen werden [Report4]:

Nach dem Durchlauf der Build Funktion zeigt sich eine Tabelle wie in Abbildung 37 zu sehen. Dort sind alle Bauelemente mit ihrer Häufigkeit aufgeführt. Wichtig dabei ist noch die Spalte „Sares“. In dieser Spalte sollte für jedes Bauelement eine 0 stehen. Ist dies nicht der Fall, so muss die Netzliste zu diesem Bauelement per Hand angepasst werden. Nach Abschluss aller Anpassungen wurde die Funktion „Check Build“ aufgerufen. Nachdem keine Fehlermeldungen im [Report5]:
enthalten waren wurde das Package zum Design „Stoppuhr“ abgespeichert.

3.2.3 Layout

Das Layout zum Design „Stoppuhr“ wurde mit dem Modul Layout des Programmpakets von Mentor Graphics erstellt. Hierzu wurden alle im Schaltplan enthaltenen Bauelemente aus dem Schaltplan von Hand auf die unter Librarian erstellte Leiterplatte (Board) nach dem Konzept Erzen platziert. Im Anschluss wurden die Leiterbahnen von Hand zur elektrischen Verbindung der Bauelemente geroutet [Report6]:

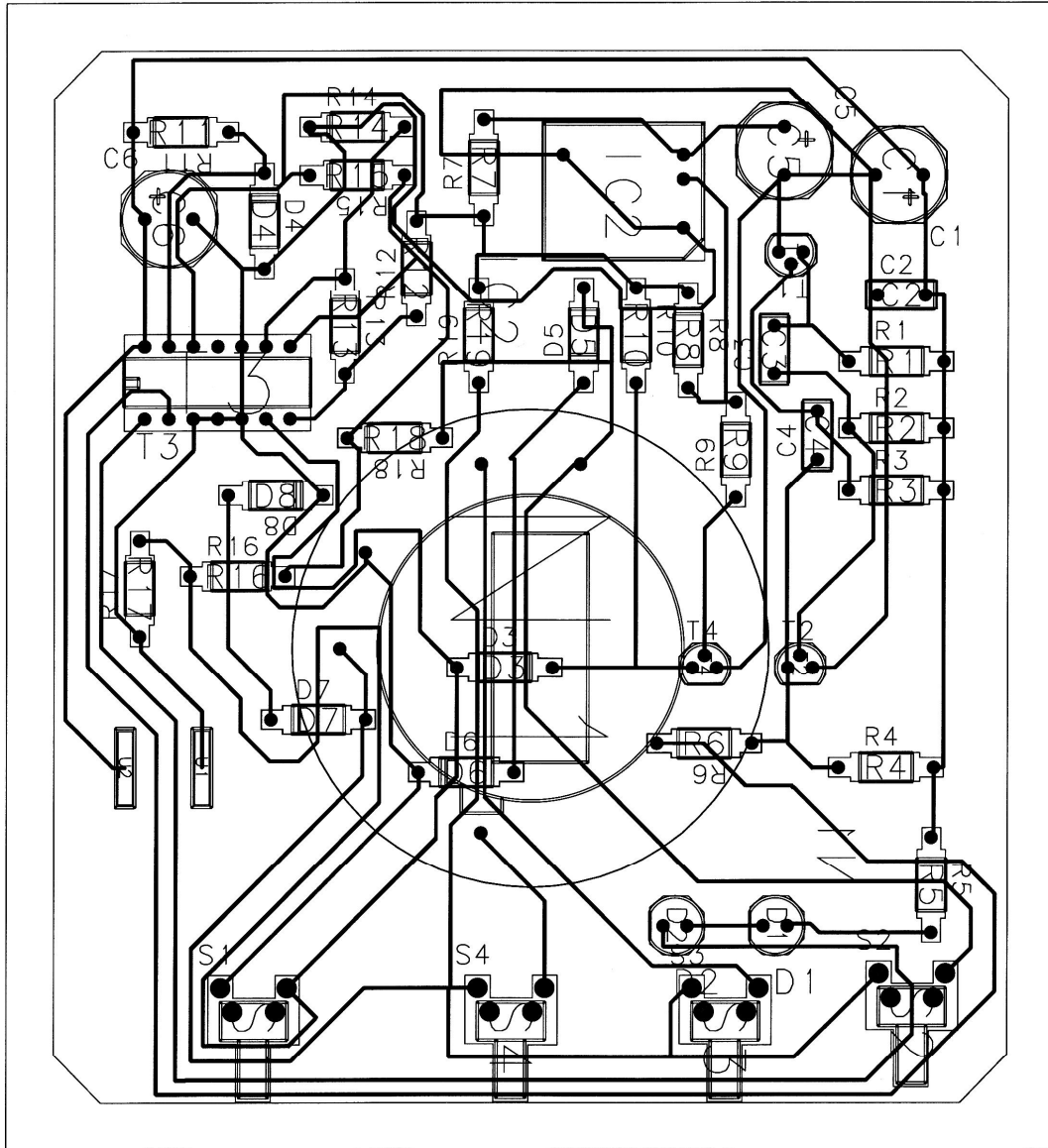
Um die Korrektheit des Layouts zu überprüfen wurden Kontrollen durchgeführt. Um einen generellen Überblick zu erhalten (ob sämtliche Bauelemente laut Schaltplan auf dem Board vorhanden und verbunden sind, ob Abstandsverletzungen auftreten) wurde die Funktion „Check → All Components“ aufgerufen [Report7]:

Um mehr Informationen zu den Leiterbahnenzügen zu erhalten (an welchem Punkt der Netzliste treten Fehler auf) wurde die Funktion „Check → Traces“ mit den Optionen (Entire Board, Check All Thermal Ties on Pins and Vias, Check Same Net Pad to Pad Clearances, Remove Duplicate Routing) aufgerufen [Report8]:

Die Fehlermeldungen in [Report7]:
und [Report8]:

können an dieser Stelle übergangen werden (Abstandsverletzungen zwischen den Bauelementen T4, R18, R6, D7, D6, D3 mit N1), da sich das Uhrenmodul (N1) auf der Rückseite der Leiterplatte platziert wurde, wohingegen sich die restlichen Bauelemente auf der Vorderseite befinden.

In Abbildung 37 ist das Layout nach der Phase Entwerfen dargestellt. Eventuelle Änderungen am Layout wurden an dieser Stelle nicht mehr abgebildet, da das endgültige Layout im Zeichnungssatz (Abschnitt 4 - Phase Ausarbeiten) enthalten ist.



- Abbildung 37: Layout der Leiterplatte -

3.3 Projekt Bericht

[Bearbeiter: Erzen, Hofmann, Uhl]

Alle für die Phase Enwerfen notwendigen Tätigkeiten wurden ohne Probleme bewältigt. Bis zum heutigen Tag wurden die technisch-wirtschaftliche Bewertung, die Bibliotheksarbeit mit dem Modul Librarian, die Erstellung des Paketes mit dem Modul Package und der Entwurf eines Layouts der Leiterplatte mit dem Modul Layout von Mentor Graphics vollinhaltlich, jedoch mit zwei Tagen Verzögerung, erstellt. Grund für die Terminverzögerung war die erst am Testattermin stattfindende Unterweisung im Modul Layout. Für die nächste Phase Ausarbeiten wurden keine erkennbaren Probleme festgestellt.

3.4 Personal-Zeit-Plan: Ausarbeiten

[Bearbeiter: Erzen, Hofmann, Uhl]

Tätigkeit	Bearbeiter	Soll-Zeit	Ist-Zeit	Soll-Termin	Ist-Termin
Hauptzeichnung	Hofmann	8h	4h	22.12.2006	09.01.2007
	Erzen	8h	4h	22.12.2006	09.01.2007
	Uhl	8h	4h	22.12.2006	09.01.2007
Stückliste	Hofmann	1h	2h	22.12.2006	09.01.2007
	Erzen	1h	2h	22.12.2006	09.01.2007
	Uhl	1h	2h	22.12.2006	09.01.2007
Teile-Zeichnungen	Hofmann	2h	2h	22.12.2006	09.01.2007
	Erzen	2h	2h	22.12.2006	09.01.2007
	Uhl	2h	2h	22.12.2006	09.01.2007
Beschreibung (Konstr., Techn.)	Hofmann	0,5h	0,5h	22.12.2006	09.01.2007
	Erzen	0,5h	0,5	22.12.2006	09.01.2007
	Uhl	0,5h	0,5	22.12.2006	09.01.2007
Projekt-Bericht	Hofmann	0,25h	0,25h	23.12.2006	09.01.2007
	Erzen	0,25h	0,25h	23.12.2006	09.01.2007
	Uhl	0,25h	0,25h	23.12.2006	09.01.2007
Fragenliste	Hofmann	0,25h	0,1h	23.12.2006	09.01.2007
	Erzen	0,25h	0,1h	23.12.2006	09.01.2007
	Uhl	0,25h	0,1h	23.12.2006	09.01.2007

3.5 Fragenliste

[Bearbeiter: Erzen, Hofmann, Uhl]

- Wie kann eine Massefläche erzeugt werden?
- Wie kann erreicht werden, dass bei der Prüfung der Bauteileplatzierung und Leiterbahnen keine Konflikte mit dem Uhrenmodul N1 (angeordnet auf der Unterseite der Leiterplatte - alle andern Bauelemente sind auf der Oberseite angeordnet)?
- Wie werden aus dem Layout Hauptzeichnung, Teile-Zeichnungen und Stückliste erstellt?

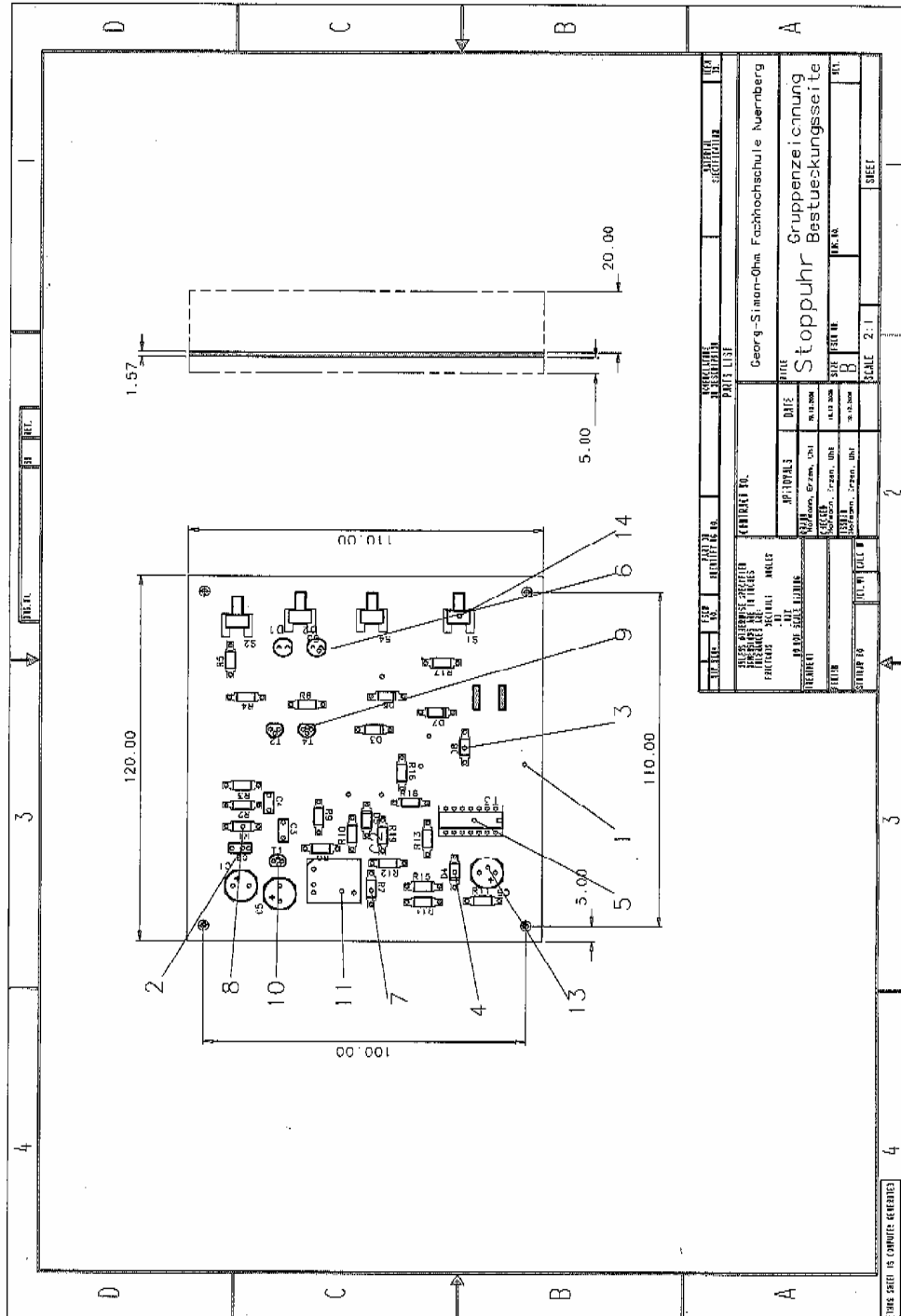
4 Phase Ausarbeiten

4.1 Ausarbeitung (Fablink)

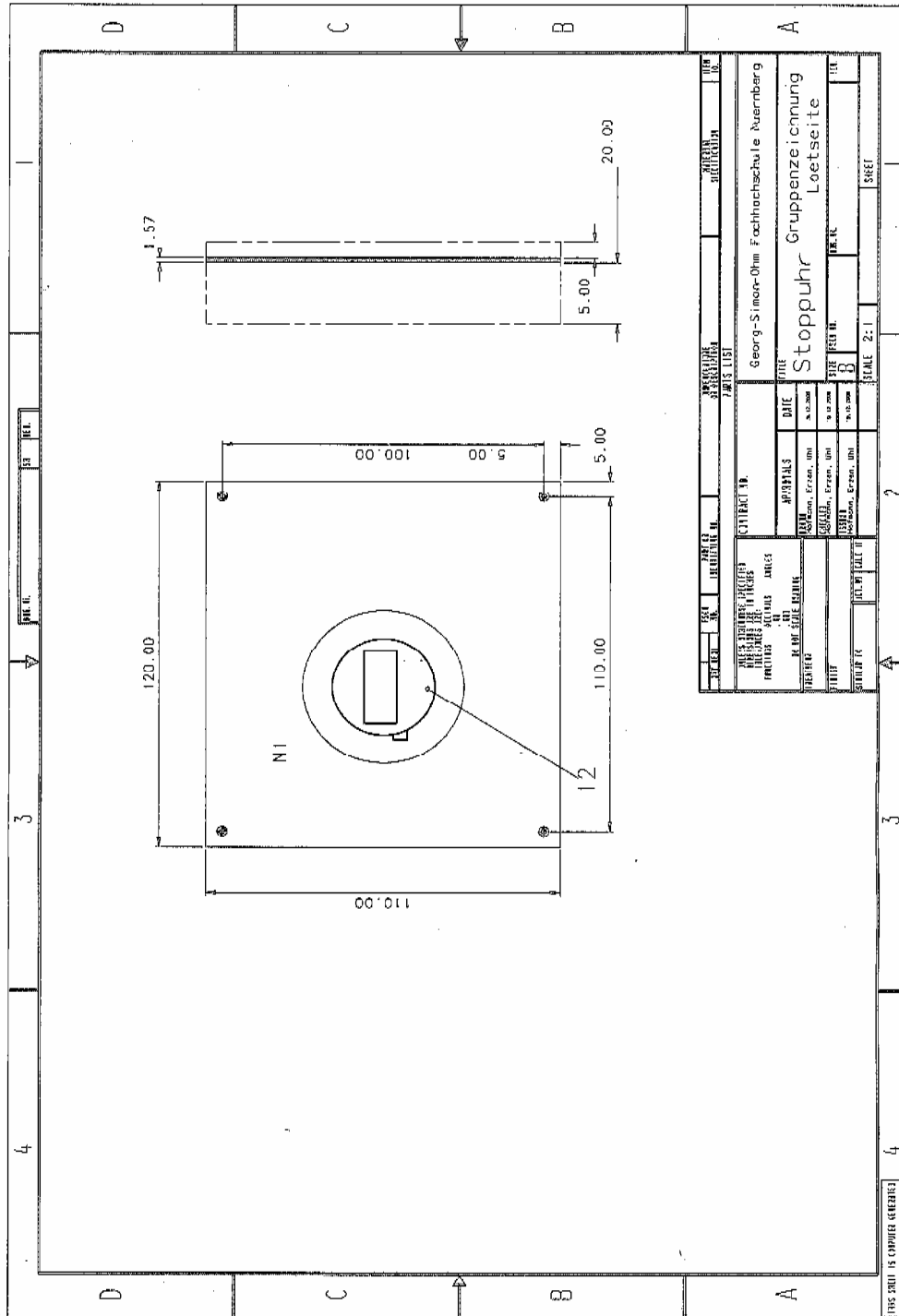
[Bearbeiter: Erzen, Hofmann, Uhl]

Mit dem Modul Fablink des Softwarepaketes Board Station wurde der nachfolgend dargestellte Zeichnungssatz erstellt. Die maßstabsgetreuen Zeichnungen befinden sich im Anhang Z dieses Dokuments.

4.1.1 Hauptzeichnung



- Abbildung 38: Gruppenzeichnung (Bestückungsseite) -



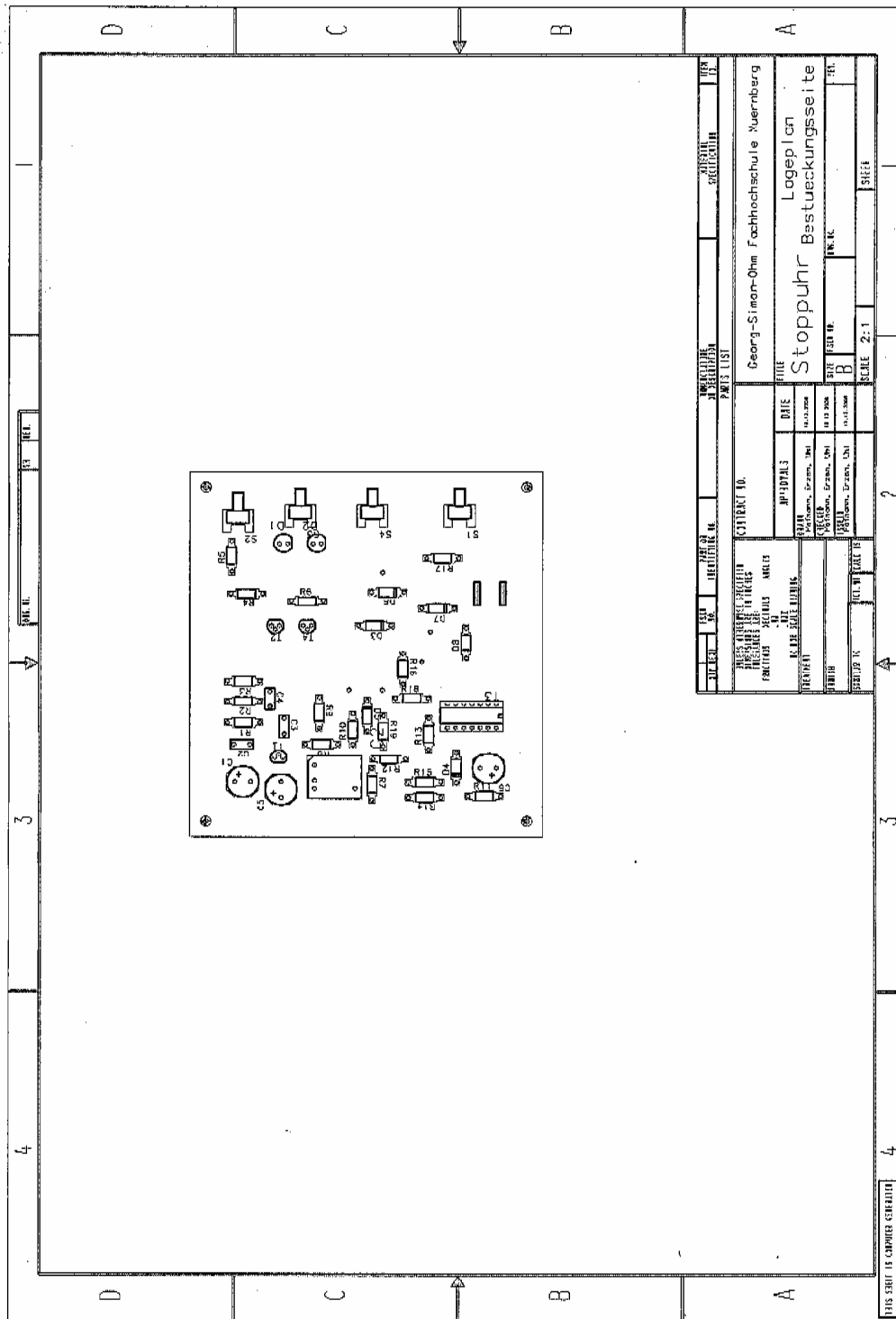
- Abbildung 39: Gruppenzeichnung (Lötseite) -

4.1.2 Stückliste

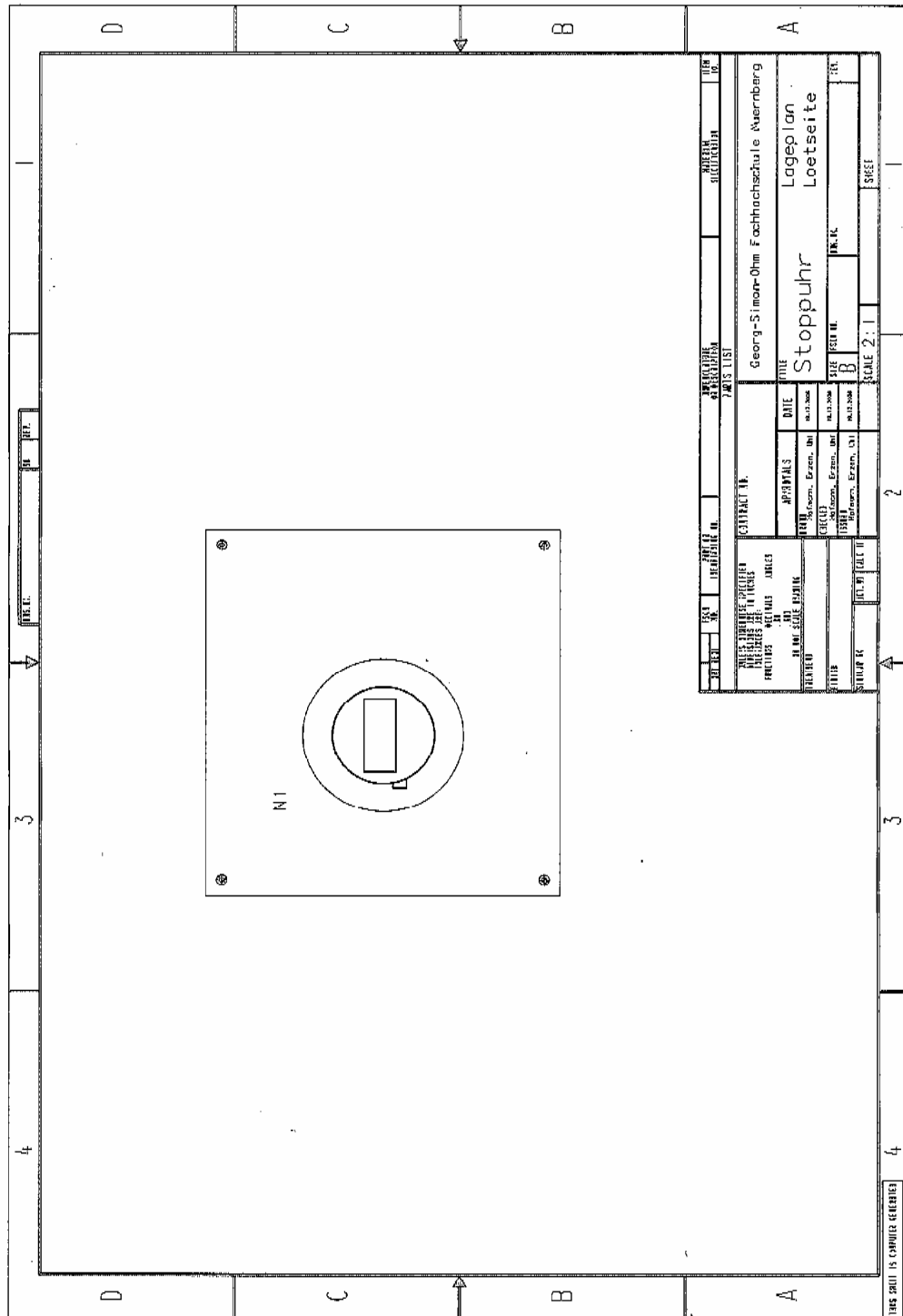
Kurzzeichen	Lfd.Nr.	Bezeichnung	Geometrie	Bezeichnung	Stückzahl	Stückzahl	Bezeichnung	Kurzzeichen	Such-Nr.	Geometrie
C1	13	elko100	elko, 100u	CAPACITOR, 100n	1	1	CAPACITOR, 4n7	C3 C3 C4	C	board
C2	2	C	CAPACITOR, 100n	CAPACITOR, 100n	3	3	IN4148	D3 D5 D6 D7 D8	D	D148
C3	2	C	CAPACITOR, 100n	CAPACITOR, 100n	3	3	BZ85C5V6	D4	D4	D148
C4	2	C	CAPACITOR, 4n7	CAPACITOR, 4n7	1	1	BC337	T3	IC1	dip14_c
C5	13	elko100	elko, 22u	CAPACITOR, 220	1	1	LED	D1 D2	LED	LED_T1.75
C6	13	elko100	elko, 100u	CAPACITOR, 100u	2	2	RESISTOR_V, 1k	R7 R8 R9 R10	P_EMPF	R10
D1	8	LED	LED_T1.75	LED	1	1	RESISTOR_H, 1k	R1 R2 R3 R4 R5 R6	R_SEND	R10
D2	5	LED	LED_T1.75	LED	1	1	R15 R16 R17 R18			
D3	3	D	D148	IN4148	1	1	BC847	T4	T4	T082
D4	4	D	D148	BZ85C5V6	5	5	IN4148	T1 T2	T1_2	T082
D5	3	D	D148	IN4148	1	1	BC337A	TFM0_4036	TFM0_4036	TFM0_4036
D6	3	D	D148	IN4148	1	1	Zeitzeig	NI	UHR	B232E_Anzeige
D7	3	D	D148	IN4148	1	1	elko, 100u	C1 C5 C6	elko100	elko100
D8	3	D	D148	IN4148	4	4	S1	S2 S3 S4	toaster	toaster
D9	3	D	D148	IN4148	15	15				
IC1	11	UHR	B232E_Anzeige	Zeitzeig						
R1	8	P_SEND	RESISTOR_H, 22k	RESISTOR_H, 22k	1	1	RESISTOR_H, 10k			
R2	8	P_SEND	RESISTOR_H, 10k	RESISTOR_H, 10k	10	10	RESISTOR_H, 1k			
R3	8	P_SEND	RESISTOR_H, 10k	RESISTOR_H, 1k	11	11	RESISTOR_H, 12			
R4	8	P_SEND	RESISTOR_H, 1k	RESISTOR_H, 1k	12	12	RESISTOR_V, 2k7			
R5	8	P_SEND	RESISTOR_H, 12	RESISTOR_V, 1k	13	13	RESISTOR_V, 1k			
R6	8	P_SEND	RESISTOR_H, 1k	RESISTOR_V, 2k7	14	14	RESISTOR_V, 1k			
R7	7	P_EMPF	RESISTOR_V, 220	RESISTOR_V, 1k			RESISTOR_H, 390			
R8	7	P_EMPF	RESISTOR_V, 2k7	RESISTOR_V, 1k			RESISTOR_H, 2k2			
R9	7	P_EMPF	RESISTOR_V, 1k	RESISTOR_V, 1k			RESISTOR_H, 22k			
R10	7	P_EMPF	RESISTOR_V, 1k	RESISTOR_V, 1k			RESISTOR_H, 22k			
R11	8	P_SEND	RESISTOR_H, 390	RESISTOR_H, 2k2			RESISTOR_H, 22k			
R12	8	P_SEND	RESISTOR_H, 2k2	RESISTOR_H, 22k			RESISTOR_H, 22k			
R13	8	P_SEND	RESISTOR_H, 22k	RESISTOR_H, 22k			RESISTOR_H, 22k			
R14	8	P_SEND	RESISTOR_H, 22k	RESISTOR_H, 22k			RESISTOR_H, 22k			
R15	8	P_SEND	RESISTOR_H, 2k2	RESISTOR_H, 22k			RESISTOR_H, 22k			
R16	8	P_SEND	RESISTOR_H, 22k	RESISTOR_H, 22k			RESISTOR_H, 1k			
R17	8	P_SEND	RESISTOR_H, 22k	RESISTOR_H, 1k			RESISTOR_H, 1k			
R18	8	P_SEND	RESISTOR_H, 1k	RESISTOR_H, 1k						
R19	8	P_SEND	RESISTOR_H, 1k	RESISTOR_H, 1k						
S1	14	toaster	toaster	SN						
S2	14	toaster	toaster	SN						
S3	14	toaster	toaster	SN						
S4	14	toaster	toaster	SN						
T1	10	T1.2	T092	BC337A						
T2	10	T1.2	T092	BC337A						
T3	5	IC1	dip14_c	BC337						
T4	9	T4	T092	BC337						
	1	board	board	BC517						

- Abbildung 40: Gruppenzeichnung (Lötseite) -

4.1.3 Lageplan

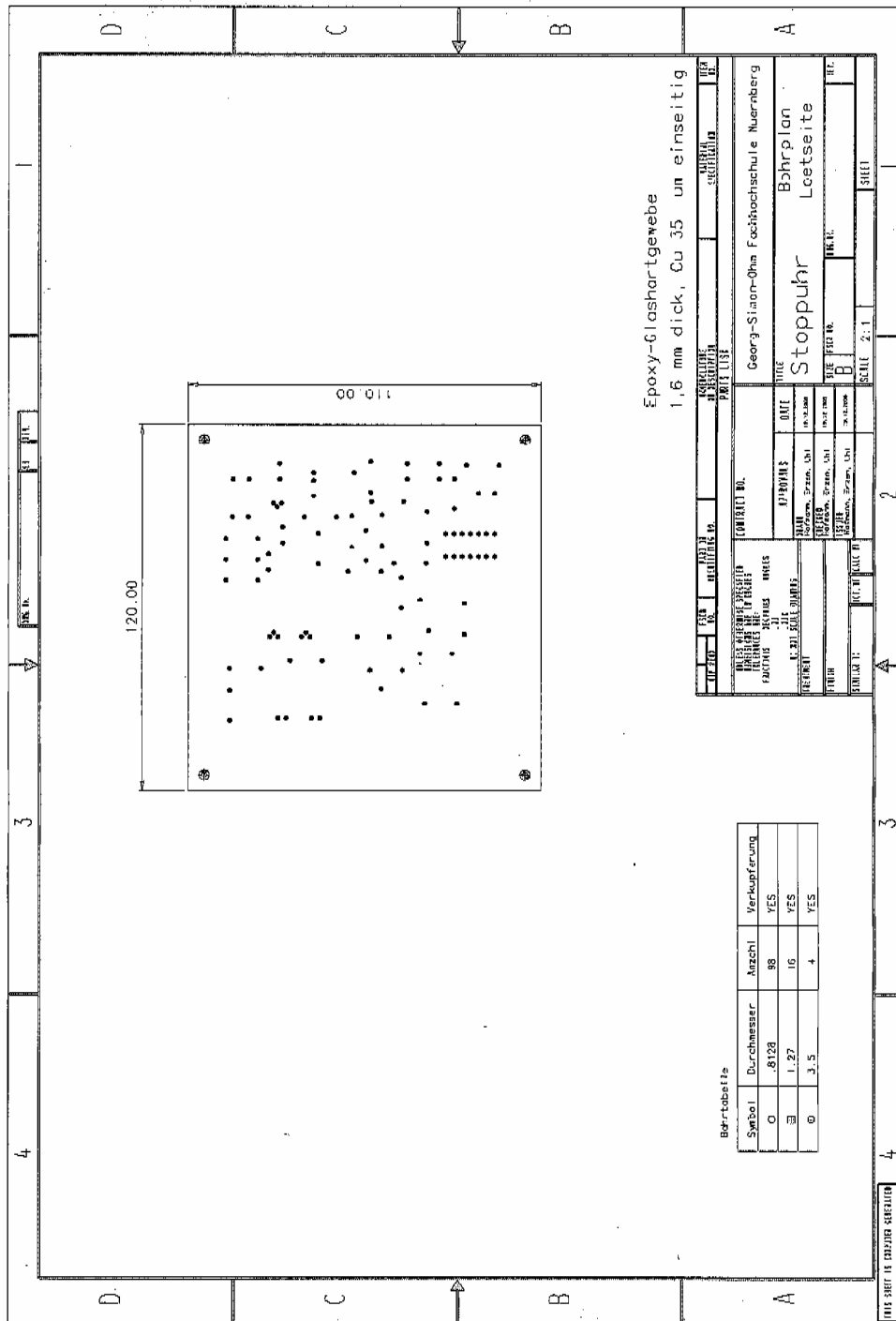


- Abbildung 41: Lageplan (Bestückungsseite) -



- Abbildung 42: Lageplan (Lötseite) -

4.1.4 Bohrplan



- Abbildung 43: Bohrplan (Lötseite) -

4.2 Beschreibung

[Bearbeiter: Erzen, Hofmann, Uhl]

Die Erstellung der Zeichnungen wurde mit dem Modul Fablink des Softwarepaketes Board Station von Mentor Graphics erstellt. Nach dem Start des Moduls Fablink war unsere Leiterplatte mit den unter „View → Layers“ eingestellten Elementen zu sehen. Anschließend wurden die Elemente für den Zeichnungsrahmen geladen und bedarfsweise angepasst (Einträge im Beschriftungsfeld wurden geändert). Anschließend wurden noch einige globale Einstellungen für das Modul Fablink vorgenommen (Textart, Bemaßungsrichtlinien, etc.). Die Zeichnungen konnten sodann nach ausliegender Beschreibung erstellt werden. Für den Bohrplan war es jedoch noch wichtig eine Bohrsimulation durchzuführen. Dies geschah ebenfalls nach der ausliegenden Beschreibung.

4.3 Projekt-Bericht

[Bearbeiter: Erzen, Hofmann, Uhl]

Alle für die Phase Ausarbeiten notwendigen Tätigkeiten wurden mit geringfügigen Probleme bewältigt. Bei der von uns gestalteten Leiterplatte handelt es sich um eine Einlagen-Leiterplatte. Während der Erstellung des Layouts innerhalb der Phase Entwerfen wurden allerdings fälschlicherweise zwei Lagen angelegt. Die Änderung von einer Zwei- in eine Einlagenleiterplatte zum jetzigen Zeitpunkt (am Ende der Phase Ausarbeiten) ist jedoch nur mit großem Aufwand möglich. Deshalb wurde darauf verzichtet. Es sei daher darauf hingewiesen, dass der Layer 1 im Layout keine Leiterbahnen führt. Dennoch wurden bis zum heutigen Tag die zum Zeichnungssatz gehörenden Zeichnungen mit dem Modul Fablink vollinhaltlich und termingerecht erstellt.

Somit wurden zum heutigen Tag alle notwendigen Tätigkeiten zur Studienarbeit „Elektronische Stoppuhr“ ohne Probleme vollinhaltlich und termingerecht bewältigt und werden zur Abgabe vorgelegt.

4.4 Fragenliste

[Bearbeiter: Erzen, Hofmann, Uhl]

- Gibt es nach der Korrektur der Studienarbeit einen Termin zur Rücksprache bzw. eine Erklärung zur Notenbildung?

5 Reports

[Report 1]:

CHECK BOARD OUTLINE

Thursday November 30, 2006; 13:52:47

Board Outline Clearances :

Type	Layer Name	Clearance Value
------	------------	-----------------

Warning: No clearance(s) defined for checking data on Board geometry against Board Edge (from: Idea/Librarian/Geometry DRC 14)

Note: No Board Edge clearance check errors found for geometry "board" (from: Idea/Librarian/Geometry DRC 44)

CHECK GEOMETRIES

Thursday November 30, 2006; 13:52:47

user units : Millimeters

check parameters :

check all geometries

Note: ***** Check All Geometries ***** (from: Idea/Librarian/Check 5F)

Note: Checking Board... (from: Idea/Librarian/Check 60)

Note: Board Name is board (from: Idea/Util/Read_Components 04)

Note: No errors are found. (from: Idea/Librarian/Check 3A)

Note: Checking Stackup... (from: Idea/Librarian/Check 61)

Warning: Logical layer Pad_2 Not found. (from: Idea/Util/Term Def 41)

Warning: No Artwork Order Definition exists. (from: Idea/Util/Init 55)

Warning: No artwork order found. FabLink automatically creates default artwork order when none exists. (from: Idea/Librarian/Check 2A)

Note: Checking Panel... (from: Idea/Librarian/Check 62)

Note: No Panel exists. (from: Idea/Librarian/Check 28)

Note: Checking Pads... (from: Idea/Librarian/Check 63)

Note: User-specified Default Pad Size (1.6) differs from internally calculated pad size (1.3716)

of the Default Padstack. (from: Idea/Util/Init 4D)

Note: No errors are found. (from: Idea/Librarian/Check 3A)

Note: Checking Components... (from: Idea/Librarian/Check 64)

Note: No errors are found. (from: Idea/Librarian/Check 3A)

Note: Checking Probe Types... (from: Idea/Librarian/Check 6D)

Note: No Probes exist. (from: Idea/Librarian/Check 36)

Note: Checking Test Fixture Types... (from: Idea/Librarian/Check 6E)

Note: No Test Fixtures exist. (from: Idea/Librarian/Check 36)

Note: Checking Other Types... (from: Idea/Librarian/Check 65)

Note: No Other Types exist. (from: Idea/Librarian/Check 36)

Note: Checking Interdependencies... (from: Idea/Librarian/Check 5C)

Note: All necessary Geometries for the design/geometry were found. (from: Idea/Librarian/Check 0D)



CHECK PADSTACK DRILL

Thursday November 30, 2006; 13:52:47

Padstack Drill Clearances :

Layer Name Clearance Value

CHECK COMPONENT PIN PADSTACKS

Thursday November 30, 2006; 13:52:47

Component Pin Clearances :

Layer Name Clearance Value

[Report2]:

Checking Part Number BAT_M
No errors are found.
Checking Part Number BAT_P
No errors are found.
Checking Part Number C
No errors are found.
Checking Part Number D
No errors are found.
Checking Part Number D4
No errors are found.
Checking Part Number IC1
Physical pin "4" on geometry dipl4_c was not found in map ic1
Physical pin "11" on geometry dipl4_c was not found in map ic1
No power pins found for map ic1
No errors are found.
Checking Part Number LED
No errors are found.
Checking Part Number R_EMPF
No errors are found.
Checking Part Number R_SEND
No errors are found.
Checking Part Number R_UHR
No errors are found.
Checking Part Number T1_2
No errors are found.
Checking Part Number T3
No errors are found.
Checking Part Number T4
No errors are found.
Checking Part Number TFMO_4036
No errors are found.
Checking Part Number UHR
No errors are found.
Checking Part Number elko100
No errors are found.
Checking Part Number elko22
No errors are found.
Checking Part Number taster
Physical pin "4" on geometry taster was not found in map taster
Physical pin "3" on geometry taster was not found in map taster
No power pins found for map taster
No errors are found.

[Report 3]:

```
Check Schematic "Stoppuhr/schematic"
Check Sheet "Stoppuhr/schematic/sheet1"
Check SymbolPins ----- 0 errors 0 warnings (MGC-required)
Check Overlap ----- 0 errors 0 warnings
Check NotDots ----- 0 errors 0 warnings
Check Closedots ----- 0 errors 0 warnings
Check Dangle ----- 0 errors 0 warnings
Check INIT Properties --- 0 errors 0 warnings
Check Owner ----- 0 errors 0 warnings
Check Instance ----- 0 errors 0 warnings (MGC-required)
Check Special ----- 0 errors 0 warnings (MGC-required)
Check Net ----- 0 errors 0 warnings (MGC-required)
Check Frame ----- 0 errors 0 warnings (MGC-required)
```

"Stoppuhr/schematic/sheet1" passed check : 0 Errors, 0 Warnings

```
-----
Check Sheet "Stoppuhr/schematic/sheet2"
Check SymbolPins ----- 0 errors 0 warnings (MGC-required)
Check Overlap ----- 0 errors 0 warnings
Check NotDots ----- 0 errors 0 warnings
Check Closedots ----- 0 errors 0 warnings
Check Dangle ----- 0 errors 0 warnings
Check INIT Properties --- 0 errors 0 warnings
Check Owner ----- 0 errors 0 warnings
Check Instance ----- 0 errors 0 warnings (MGC-required)
Check Special ----- 0 errors 0 warnings (MGC-required)
Check Net ----- 0 errors 0 warnings (MGC-required)
Check Frame ----- 0 errors 0 warnings (MGC-required)
```

"Stoppuhr/schematic/sheet2" passed check : 0 Errors, 0 Warnings

```
-----
Check Sheet "Stoppuhr/schematic/sheet3"
Check SymbolPins ----- 0 errors 0 warnings (MGC-required)
Check Overlap ----- 0 errors 0 warnings
Check NotDots ----- 0 errors 0 warnings
Check Closedots ----- 0 errors 0 warnings
Check Dangle ----- 0 errors 0 warnings
Check INIT Properties --- 0 errors 0 warnings
Check Owner ----- 0 errors 0 warnings
Check Instance ----- 0 errors 0 warnings (MGC-required)
Check Special ----- 0 errors 0 warnings (MGC-required)
Check Net ----- 0 errors 0 warnings (MGC-required)
Check Frame ----- 0 errors 0 warnings (MGC-required)
```

"Stoppuhr/schematic/sheet3" passed check : 0 Errors, 0 Warnings

```
-----
Check Schematic Interface -- 0 errors 1 warnings
Warning: Interface "Stoppuhr" has no pins

Check Schematic Instance --- 0 errors 0 warnings
Check Schematic Special ---- 0 errors 0 warnings
Check Schematic Net ----- 0 errors 0 warnings
```

"Stoppuhr/schematic" passed check : 0 Errors, 1 Warnings

[Report4]:

Note: Checking default search directory structure (from: Idea/Librarian/Data Prep E7)
Note: Attempting to restore OTHER pathnames from previous session (from: Idea/Librarian/Data Prep E3)
Note: reading layer file: K:/Mentor/Stoppuhr/pcb/layers.layers_4 (from: Idea/Librarian/Layer 16)
Note: Reading geometries: K:/Mentor/Stoppuhr/pcb/geoms.geoms_9 Contains 23 Geometries. (from: Idea/Librarian/General 7B)
Note: Reading design file "K:/Mentor/Stoppuhr/pcb_design_vpt" (from: Idea/PACKAGE/INPUT 82)
Warning: Found board location data. UNITS is currently set to TM (tenth mils) (from: Idea/PACKAGE/INPUT 9C)
Note: Read 48 references and 48 part numbers for 48 gates (and 26 nets) (from: Idea/PACKAGE/INPUT 86)
Note: Design input completed... (from: Idea/PACKAGE/INPUT 83)
Warning: Property "PCB_PROP3" for B.O.M. is not in the list of current properties; adding "PCB_PROP3" to the list now. (from: Idea/PACKAGE/PROPERTIES 90)
Warning: Property "PCB_PROP4" for B.O.M. is not in the list of current properties; adding "PCB_PROP4" to the list now. (from: Idea/PACKAGE/PROPERTIES 90)
Warning: Property "PCB_PROP5" for B.O.M. is not in the list of current properties; adding "PCB_PROP5" to the list now. (from: Idea/PACKAGE/PROPERTIES 90)
Warning: Property "PCB_PROP6" for B.O.M. is not in the list of current properties; adding "PCB_PROP6" to the list now. (from: Idea/PACKAGE/PROPERTIES 90)

[Report5]:

Note: BUild Check done; no errors found in pre-assignment check (from: Idea/PACKAGE/BUILD 95)

###

Report --> Check Geometries:

CHECK GEOMETRIES

Thursday November 30, 2006; 13:50:10

user units : Inches
check parameters :
 check all geometries

Note: ***** Check All Geometries ***** (from:
Idea/Librarian/Check 5F)
Note: Checking Board... (from: Idea/Librarian/Check 60)
Note: Board Name is board (from: Idea/Util/Read_Components 04)
Note: No errors are found. (from: Idea/Librarian/Check 3A)
Note: Checking Stackup... (from: Idea/Librarian/Check 61)
Warning: Logical layer Pad_2 Not found. (from: Idea/Util/Term Def 41)
Warning: No Artwork Order Definition exists. (from: Idea/Util/Init 55)
Warning: No artwork order found. FabLink automatically creates default artwork order when none
exists. (from: Idea/Librarian/Check 2A)
Note: Checking Panel... (from: Idea/Librarian/Check 62)
Note: No Panel exists. (from: Idea/Librarian/Check 28)
Note: Checking Pads... (from: Idea/Librarian/Check 63)
Note: User-specified Default Pad Size (1.6) differs from internally calculated pad size
(1.3716)
of the Default Padstack. (from: Idea/Util/Init 4D)
Note: No errors are found. (from: Idea/Librarian/Check 3A)
Note: Checking Components... (from: Idea/Librarian/Check 64)
Note: No errors are found. (from: Idea/Librarian/Check 3A)
Note: Checking Probe Types... (from: Idea/Librarian/Check 6D)
Note: No Probes exist. (from: Idea/Librarian/Check 36)
Note: Checking Test Fixture Types... (from: Idea/Librarian/Check 6E)
Note: No Test Fixtures exist. (from: Idea/Librarian/Check 36)
Note: Checking Other Types... (from: Idea/Librarian/Check 65)
Note: No Other Types exist. (from: Idea/Librarian/Check 36)

Note: Checking Interdependencies... (from: Idea/Librarian/Check 5C)
Note: All necessary Geometries for the design/geometry were found. (from: Idea/Librarian/Check
0D)
Warning: A pin statement in mapping file (ic1) was not found for physical pin (4) on geometry
"dip14_c" for part "IC1" (BC337) (from: Idea/PACKAGE/CHECK 98)
Warning: A pin statement in mapping file (ic1) was not found for physical pin (11) on geometry
"dip14_c" for part "IC1" (BC337) (from: Idea/PACKAGE/CHECK 98)
Warning: A pin statement in mapping file (taster) was not found for physical pin (4) on
geometry "taster" for part "taster" (SW) (from: Idea/PACKAGE/CHECK 98)
Warning: A pin statement in mapping file (taster) was not found for physical pin (3) on
geometry "taster" for part "taster" (SW) (from: Idea/PACKAGE/CHECK 98)

[Report6]:

Note: Checking default search directory structure (from: Idea/Librarian/Data Prep E7)
Note: Attempting to restore OTHER pathnames from previous session (from: Idea/Librarian/Data Prep E3)
Note: reading layer file: K:/Mentor/Stoppuhr/pcb/layers.layers_4 (from: Idea/Librarian/Layer 16)
Note: Reading geometries: K:/Mentor/Stoppuhr/pcb/geoms.geoms_9 Contains 23 Geometries. (from: Idea/Librarian/General 7B)
Note: Reading Technology File K:/Mentor/Stoppuhr/pcb/tech.tech_12 (from: Uims/base_toolkit/ui_session_tk 81)
Note: The Board is declared to be Double sided. (from: Idea/Util/Term Def 46)
Warning: Logical layer Pad_2 Not found. (from: Idea/Util/Term Def 41)
Note: User-specified Default Pad Size (1.6) differs from internally calculated pad size (1.3716) of the Default Padstack. (from: Idea/Util/Init 4D)
Warning: Testpoint side must be specified during setup. (from: Idea/Util/Testpoints 0F)
Note: Board Name is board (from: Idea/Util/Read_Components 04)
Note: Board Extent... 0.0,0.0 to 120.0,110.0 (from: Idea/Util/Init 57)
Note: No Artwork Order Definition exists. (from: Idea/Util/Init 54)
Note: An Artwork Order named "default_artwork_order" has been created based upon the current physical layering. (from: Idea/Util/Artwork Order 13)
Note: 45 Components read from K:/Mentor/Stoppuhr/pcb/comps.comps_15 (from: Idea/Util/Read_Components 05)
Note: Component information complete. (from: Idea/Util/Read_Components 08)
Note: Unconnected Pin Count = 10. (from: Idea/Util/Read_Nets 09)
Note: 26 Nets read from K:/Mentor/Stoppuhr/pcb/nets.nets_11 (from: Idea/Util/Read_Nets 03)
Note: Nets information is complete. (from: Idea/Util/Read_Nets 05)
Note: Processing NET_TYPE Properties ... (from: Idea/Util/Prop 19)
Note: 48 Gates read from K:/Mentor/Stoppuhr/pcb/gates.gates_11 (from: Idea/Util/Gates_Input 04)
Note: Gates Information complete (from: Idea/Util/Gates_Input 03)
Note: Processing Other Net Properties ... (from: Idea/Util/Prop 1A)
Note: 4 Pins read from K:/Mentor/Stoppuhr/pcb/pins.pins_11 (from: Idea/Util/pin property 0E)
Note: Pins Information complete (from: Idea/Util/pin property 0D)
Note: Reading traces file and processing connectivity ... (from: Idea/Util/Read Traces 68)
Note: 93 Connection(s) in the Design. (from: Idea/LAYOUT/ROUTE DC)
Note: 90 Finished Trace(s) read from K:/Mentor/Stoppuhr/pcb/traces.traces_6 (from: Idea/LAYOUT/ROUTE DF)
Note: 3 Unfinished Trace(s) read from K:/Mentor/Stoppuhr/pcb/traces.traces_6 (from: Idea/LAYOUT/ROUTE DA)
Note: Reading Testpoints File K:/Mentor/Stoppuhr/pcb/testpoints.testpoints_6. (from: Idea/Util/Testpoints 86)

[Report7]:

CHECK COMPONENTS

Thursday November 30, 2006; 13:39:42

user units : Millimeters

check parameters :
 check placed and unplaced components
 maximum number of messages : 100

board rules :
 placement clearance : 0.05
 placement grid : 0.5

violations ignored :

dual footprints :

Error: Clearance violation: T4 overlaps N1
 Clearance type used: board_default_clearance; design rule clearance: 0.05 mm. (from:
 Idea/LAYOUT/PLACEMENT2 BB)
Error: Clearance violation: R18 overlaps N1
 Clearance type used: board_default_clearance; design rule clearance: 0.05 mm. (from:
 Idea/LAYOUT/PLACEMENT2 BB)
Error: Clearance violation: R6 overlaps N1
 Clearance type used: board_default_clearance; design rule clearance: 0.05 mm. (from:
 Idea/LAYOUT/PLACEMENT2 BB)
Error: Clearance violation: N1 overlaps D7
 Clearance type used: board_default_clearance; design rule clearance: 0.05 mm. (from:
 Idea/LAYOUT/PLACEMENT2 BB)
Error: Clearance violation: N1 overlaps D6
 Clearance type used: board_default_clearance; design rule clearance: 0.05 mm. (from:
 Idea/LAYOUT/PLACEMENT2 BB)
Error: Clearance violation: N1 overlaps D3
 Clearance type used: board_default_clearance; design rule clearance: 0.05 mm. (from:
 Idea/LAYOUT/PLACEMENT2 BB)
Error: Clearance violation: D7 overlaps N1
 Clearance type used: board_default_clearance; design rule clearance: 0.05 mm. (from:
 Idea/LAYOUT/PLACEMENT2 BB)
Error: Clearance violation: D6 overlaps N1
 Clearance type used: board_default_clearance; design rule clearance: 0.05 mm. (from:
 Idea/LAYOUT/PLACEMENT2 BB)
Error: Clearance violation: D3 overlaps N1
 Clearance type used: board_default_clearance; design rule clearance: 0.05 mm. (from:
 Idea/LAYOUT/PLACEMENT2 BB)

[Report8]:

```
----- Check Traces Options -----
Note: Same Net Checking:                OFF (from: Idea/Util/Lay Template 13)
Note: Off Grid Via Checking:            ON (reported as Warnings) (from: Idea/Util/Lay
Template AB)
Note: Same Net Pad to Pad Clearance Checking: ON (from: Idea/Util/Lay Template B6)
Note: Trace/Via/Routing Keepout Clearances: OFF (from: Idea/Util/Lay Template B9)

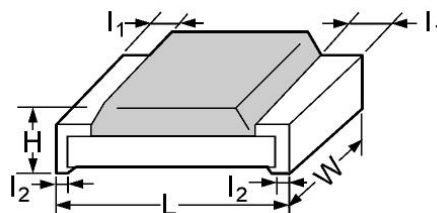
----- Check Traces Messages -----
Error: Trace to Trace violation on PHYSICAL_1 with Clearance (0.254)
      Trace (20.4125,40.2309),(23.7014,40.2309) on Net (/N$2) of Size (0.3) overlaps
      Trace (21.3115,40.6688),(23.1241,40.6688) on Net (GROUND) of Size (0.3) (from:
Idea/LAYOUT/ROUTE 32)
Error: Trace to Trace violation on PHYSICAL_1 with Clearance (0.254)
      Trace (20.4125,40.2309),(23.7014,40.2309) on Net (/N$2) of Size (0.3) overlaps
      Trace (23.1241,40.6688),(31.1677,48.7124) on Net (GROUND) of Size (0.3) (from:
Idea/LAYOUT/ROUTE 32)
Error: Trace to Trace violation on PHYSICAL_1 with Clearance (0.254)
      Trace (20.4125,40.2309),(23.7014,40.2309) on Net (/N$2) of Size (0.3) overlaps
      Trace (19.159,42.8213),(21.3115,40.6688) on Net (GROUND) of Size (0.3) (from:
Idea/LAYOUT/ROUTE 32)
Error: Trace to Pin violation on PHYSICAL_1 with Clearance (0.254)
      Trace (55.2289,36.6666),(58.8359,36.6666) on Net (/PIN3) of Size (0.3) overlaps
      Pin (N1-3) at (57.5,37.6795) on Net (GROUND) of Size (1.3716) (from: Idea/LAYOUT/ROUTE
35)
Error: Trace to Pin violation on PHYSICAL_1 with Clearance (0.254)
      Trace (43.5,24.66),(43.5,19.58) on Net (GROUND) of Size (0.3) overlaps
      Pin (T3-4) at (43.5,22.12) on Net (UNUSED PIN) of Size (1.3716) (from:
Idea/LAYOUT/ROUTE 35)
Error: Trace to Pin violation on PHYSICAL_1 with Clearance (0.254)
      Trace (11.9084,42.8213),(19.159,42.8213) on Net (GROUND) of Size (0.3) overlaps
      Pin (R14-2) at (13,41.75) on Net (/N$7) of Size (1.3716) (from: Idea/LAYOUT/ROUTE 35)
Error: Trace to Pin violation on PHYSICAL_1 with Clearance (0.254)
      Trace (11.9084,42.8213),(19.159,42.8213) on Net (GROUND) of Size (0.3) overlaps
      Pin (R15-1) at (18,41.75) on Net (/N$2) of Size (1.3716) (from: Idea/LAYOUT/ROUTE 35)

----- Check Traces Summary -----
Note: Checked: 365 Segments, 0 Vias and 0 Fill_Areas (from: Idea/LAYOUT/ROUTE E6)
Note: Clearance Errors                    = 7 (from: Idea/LAYOUT/ROUTE E9)
Note: Via Off Grid Warnings                = 0 (from: Idea/LAYOUT/ROUTE A8)
Note: Unroutes                            = 0 (from: Idea/LAYOUT/ROUTE E2)
Note: Unfinished Connections              = 3 (from: Idea/LAYOUT/ROUTE EB)
Note: Unplaced components                  = 0 (from: Idea/LAYOUT/PLACEMENT2 67)
Note: Off-board components                 = 0 (from: Idea/LAYOUT/PLACEMENT2 68)
```

6 Anhang U

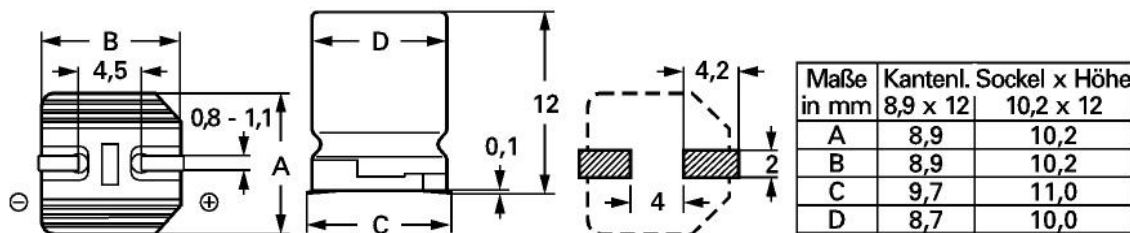
[Anhang 1] SMD-Metalschichtwiderstand Typ Yageo RC 0603 (E070.040):

- Nennbelastbarkeit bei +70 °C: 0,1 W,
- Temperaturkoeffizient: TK 100 bei 1,0 % Tol.
- Wärmewiderstand: 550 k/W,
- Betriebsspannung: max. 50 V,
- Isolationsspannung (1,0 min): 500 V,
- Isolationswiderstand: 10^4 MOhm,
- Betriebstemperatur: -55 bis +125 °C,
- Klimakategorie: 55/125/56,
- Lastminderung: linear 0 W bei +70 °C bis 125 °C,
- Langzeitkonstanz bei +70 °C/1000 h: $\pm 1,0$ %,
- Maße: L 1,6, W 0,8, H 0,45, I1 0,25, I2 0,25 mm



Metalschichtwiderstand

[Anhang 2] SMD-Aluminium-Elektrolytkondensatoren Typ Frolyt ERS (D095.600):

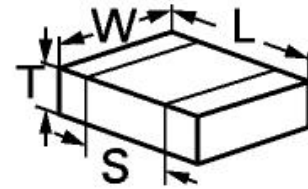


Aluminium-Elektrolytkondensator

- für Oberflächenmontage und große Lötbelastung,
- einsetzbar bis +105 °C, entsprechend EN 130000,
- Rahmenspezifikation nach DIN IEC 384-18 (ohne Gütebestätigung),
- Kapazitätstoleranz: ± 20 %,
- Spitzenspannung: 1,15 x Nennspannung,
- Betriebstemperaturbereich: -40 bis +105 °C,
- Klimakategorie: 40/105/56,
- Brauchbarkeitsdauer: mind. 300.000 h bei +40 °C, 3000 h bei +105 °C.
- Maße (Kantenlänge/Socket x Höhe): 8,9 x 12,0 mm

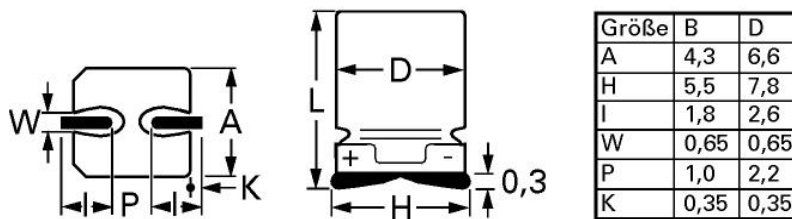
[Anhang 3] SMD-Keramik-Vielschichtkondensator Typ Kemet C 0603 (D104.520):

- Maße: L 1,6, W 0,8, T 0,9, S 0,35 mm (Kontaktflächenabstand).
- Temperatur-Characteristic/Keramikarten: C0G (NP0) ± 30 PPM/ $^{\circ}\text{C}$ (ultrastabil), X7R ± 15 % (stabil), Y5V $+22$ %/ -82 %.
- Tabellenangaben: Nennspannung, Kapazitätstoleranz, Keramikart



Keramik-Vielschichtkondensator

[Anhang 4] SMD-Aluminium-Elektrolytkondensatoren Typ Yageo CA-Series (D095.550):



Aluminium-Elektrolytkondensator

- für Oberflächenmontage und große Lötbelastung
- einsetzbar bis $+85$ $^{\circ}\text{C}$
- Kapazitätstoleranz: ± 20 %
- Brauchbarkeitsdauer: bei $+85$ $^{\circ}\text{C}$ 2000 h
- Betriebstemperatur: -40 bis $+85$ $^{\circ}\text{C}$
- Maße: D = 4,0mm
- Size Code (Gr.): B

[Anhang 5] Datenblatt BC237C - Quelle: <http://www.alldatasheet.com>

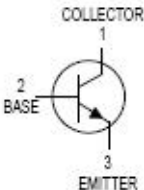
MOTOROLA
SEMICONDUCTOR TECHNICAL DATA


Order this document
by BC237/D

Amplifier Transistors

NPN Silicon

BC237,A,B,C
BC238B,C
BC239,C





CASE 29-04, STYLE 17
TO-92 (TO-226AA)

MAXIMUM RATINGS

Rating	Symbol	BC 237	BC 238	BC 239	Unit
Collector-Emitter Voltage	V_{CEO}	45	25	25	Vdc
Collector-Emitter Voltage	V_{CES}	50	30	30	Vdc
Emitter-Base Voltage	V_{EBO}	6.0	5.0	5.0	Vdc
Collector Current — Continuous	I_C	100			mA dc
Total Device Dissipation @ $T_A = 25^\circ\text{C}$ Derate above 25°C	P_D	350		2.8	mW mW/°C
Total Device Dissipation @ $T_C = 25^\circ\text{C}$ Derate above 25°C	P_D	1.0		8.0	Watts mW/°C
Operating and Storage Junction Temperature Range	T_J, T_{stg}	-55 to +150			°C


THERMAL CHARACTERISTICS

Characteristic	Symbol	Max	Unit
Thermal Resistance, Junction to Ambient	$R_{\theta JA}$	357	°C/W
Thermal Resistance, Junction to Case	$R_{\theta JC}$	125	°C/W

ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted)

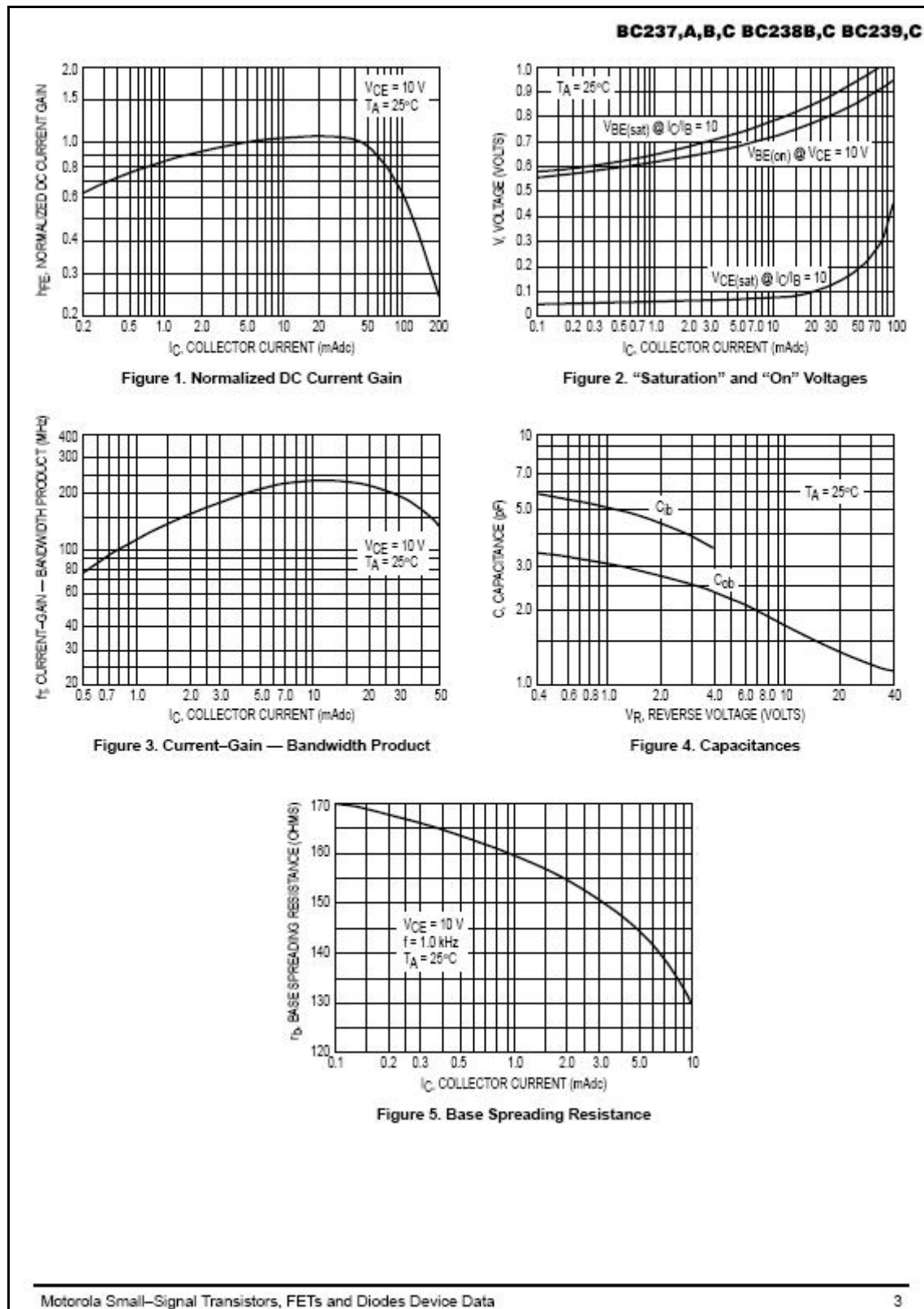
Characteristic	Symbol	Min	Typ	Max	Unit	
OFF CHARACTERISTICS						
Collector-Emitter Breakdown Voltage ($I_C = 2.0\text{ mA}, I_B = 0$)	BC237 BC238 BC239	$V_{(BR)CEO}$	45 25 25	— — —	V	
Emitter-Base Breakdown Voltage ($I_E = 100\ \mu\text{A}, I_C = 0$)	BC237 BC238 BC239	$V_{(BR)EBO}$	6.0 5.0 5.0	— — —	V	
Collector Cutoff Current ($V_{CE} = 30\text{ V}, V_{BE} = 0$)	BC238 BC239	I_{CES}	— —	0.2 0.2	15 15	nA
($V_{CE} = 50\text{ V}, V_{BE} = 0$)	BC237		—	0.2	15	
($V_{CE} = 30\text{ V}, V_{BE} = 0$) $T_A = 125^\circ\text{C}$	BC238 BC239		— —	0.2 0.2	4.0 4.0	μA
($V_{CE} = 50\text{ V}, V_{BE} = 0$) $T_A = 125^\circ\text{C}$	BC237		—	0.2	4.0	

REV 1

 **MOTOROLA**

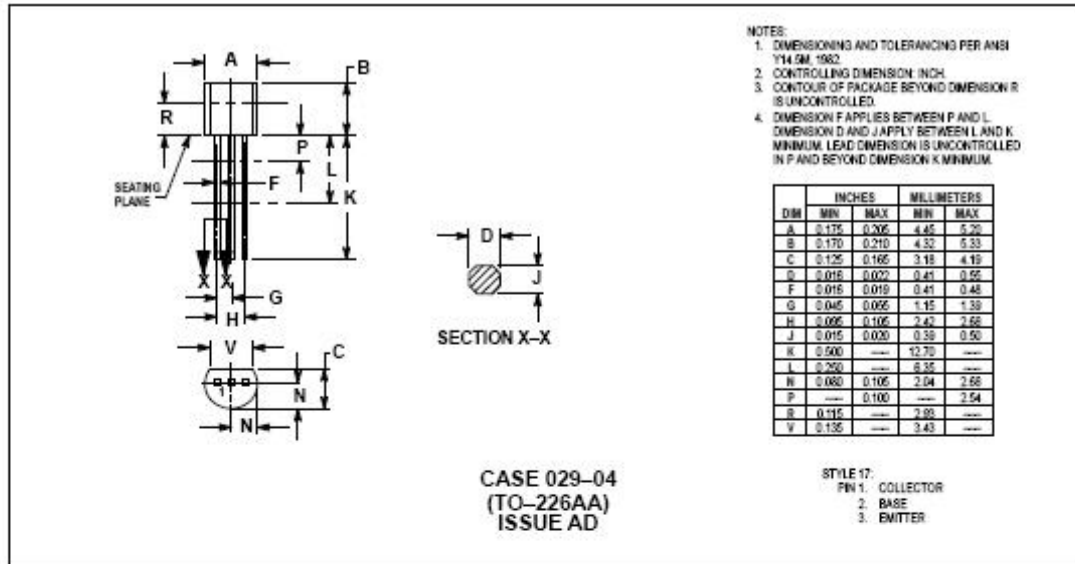
© Motorola, Inc. 1996

BC237,A,B,C BC238B,C BC239,C								
ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted) (Continued)								
Characteristic		Symbol	Min	Typ	Max	Unit		
ON CHARACTERISTICS								
DC Current Gain ($I_C = 10\ \mu\text{A}$, $V_{CE} = 5.0\ \text{V}$)	BC237A	hFE	—	90	—	—		
	BC237B/238B		—	150	—			
	BC237C/238C/239C		—	270	—			
(I _C = 2.0 mA, V _{CE} = 5.0 V)	BC237		120	—	800			
	BC239		120	—	800			
	BC237A		120	170	220			
	BC237B/238B		200	290	460			
	BC237C/238C/239C		380	500	800			
(I _C = 100 mA, V _{CE} = 5.0 V)	BC237A		—	120	—			
	BC237B/238B		—	180	—			
	BC237C/238C/239C		—	300	—			
Collector–Emitter On Voltage (I _C = 10 mA, I _B = 0.5 mA) (I _C = 100 mA, I _B = 5.0 mA)	BC237/BC238/BC239 BC237/BC239 BC238	V _{CE(sat)}	—	0.07	0.2	V		
			—	0.2	0.6			
			—	—	0.8			
Base–Emitter Saturation Voltage (I _C = 10 mA, I _B = 0.5 mA) (I _C = 100 mA, I _B = 5.0 mA)		V _{BE(sat)}	—	0.6	0.83	V		
			—	—	1.05			
Base–Emitter On Voltage (I _C = 100 μA , V _{CE} = 5.0 V) (I _C = 2.0 mA, V _{CE} = 5.0 V) (I _C = 100 mA, V _{CE} = 5.0 V)		V _{BE(on)}	—	0.5	—	V		
			0.55	0.62	0.7			
			—	0.83	—			
DYNAMIC CHARACTERISTICS								
Current–Gain — Bandwidth Product (I _C = 0.5 mA, V _{CE} = 3.0 V, f = 100 MHz)	BC237	f _T	—	100	—	MHz		
	BC238		—	120	—			
	BC239		—	140	—			
(I _C = 10 mA, V _{CE} = 5.0 V, f = 100 MHz)	BC237		150	200	—			
	BC238		150	240	—			
	BC239		150	280	—			
Collector–Base Capacitance (V _{CB} = 10 V, I _C = 0, f = 1.0 MHz)		C _{ob0}	—	—	4.5	pF		
Emitter–Base Capacitance (V _{EB} = 0.5 V, I _C = 0, f = 1.0 MHz)		C _{ib0}	—	8.0	—	pF		
Noise Figure (I _C = 0.2 mA, V _{CE} = 5.0 V, R _S = 2.0 k Ω , f = 1.0 kHz)	BC239	NF	—	—	—	dB		
			—	2.0	4.0			
			(I _C = 0.2 mA, V _{CE} = 5.0 V, R _S = 2.0 k Ω , f = 1.0 kHz, $\Delta f = 200\ \text{Hz}$)	BC237	—		2.0	10
				BC238	—		2.0	10
BC239	—	2.0	4.0					



BC237,A,B,C BC238B,C BC239,C

PACKAGE DIMENSIONS



Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters can and do vary in different applications. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and (M) are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

How to reach us:

USA/EUROPE: Motorola Literature Distribution;
P.O. Box 20912; Phoenix, Arizona 85036. 1-800-441-2447

JAPAN: Nippon Motorola Ltd.; Tatsumi-SPD-JLDC, Toshikatsu Otsuki,
6F Seibu-Butsuryu-Center, 3-14-2 Tatsumi Koto-Ku, Tokyo 135, Japan. 03-3521-8315

MFAX: RMPAXD@email.sps.mot.com - TOUCHTONE (602) 244-6609
INTERNET: http://Design-NET.com

HONG KONG: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park,
51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852-26629298



BC237/D



[Anhang 6] Datenblatt BC337-40 - Quelle: <http://www.alldatasheet.com>

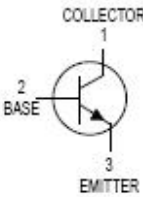
MOTOROLA
SEMICONDUCTOR TECHNICAL DATA


Order this document
by BC337/D

Amplifier Transistors

NPN Silicon

BC337,-16,-25,-40
BC338,-16,-25,-40





CASE 29-04, STYLE 17
TO-92 (TO-226AA)

MAXIMUM RATINGS

Rating	Symbol	BC337	BC338	Unit
Collector-Emitter Voltage	V_{CEO}	45	25	Vdc
Collector-Base Voltage	V_{CBO}	50	30	Vdc
Emitter-Base Voltage	V_{EBO}	5.0		Vdc
Collector Current — Continuous	I_C	800		mA _{dc}
Total Device Dissipation @ $T_A = 25^\circ\text{C}$ Derate above 25°C	P_D	625	5.0	mW mW/ $^\circ\text{C}$
Total Device Dissipation @ $T_C = 25^\circ\text{C}$ Derate above 25°C	P_D	1.5	12	Watt mW/ $^\circ\text{C}$
Operating and Storage Junction Temperature Range	T_J, T_{stg}	-55 to +150		$^\circ\text{C}$

THERMAL CHARACTERISTICS


Characteristic	Symbol	Max	Unit
Thermal Resistance, Junction to Ambient	$R_{\theta JA}$	200	$^\circ\text{C}/\text{W}$
Thermal Resistance, Junction to Case	$R_{\theta JC}$	83.3	$^\circ\text{C}/\text{W}$

ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
----------------	--------	-----	-----	-----	------

OFF CHARACTERISTICS

Characteristic	Symbol	Min	Typ	Max	Unit
Collector-Emitter Breakdown Voltage ($I_C = 10\text{ mA}, I_B = 0$)	$V_{(BR)CEO}$	45 25	—	—	Vdc
Collector-Emitter Breakdown Voltage ($I_C = 100\ \mu\text{A}, I_E = 0$)	$V_{(BR)CES}$	50 30	—	—	Vdc
Emitter-Base Breakdown Voltage ($I_E = 10\ \mu\text{A}, I_C = 0$)	$V_{(BR)EBO}$	5.0	—	—	Vdc
Collector Cutoff Current ($V_{CB} = 30\text{ V}, I_E = 0$) ($V_{CB} = 20\text{ V}, I_E = 0$)	I_{CBO}	—	—	100 100	nA _{dc}
Collector Cutoff Current ($V_{CE} = 45\text{ V}, V_{BE} = 0$) ($V_{CE} = 25\text{ V}, V_{BE} = 0$)	I_{CES}	—	—	100 100	nA _{dc}
Emitter Cutoff Current ($V_{EB} = 4.0\text{ V}, I_C = 0$)	I_{EBO}	—	—	100	nA _{dc}



MOTOROLA

© Motorola, Inc. 1996

BC337,-16,-25,-40 BC338,-16,-25,-40

ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted) (Continued)

Characteristic	Symbol	Min	Typ	Max	Unit
ON CHARACTERISTICS					
DC Current Gain ($I_C = 100\text{ mA}$, $V_{CE} = 1.0\text{ V}$)	h _{FE}	BC337/BC338	100	—	630
		BC337-16/BC338-16	100	—	250
		BC337-25/BC338-25	160	—	400
		BC337-40/BC338-40	250	—	630
($I_C = 300\text{ mA}$, $V_{CE} = 1.0\text{ V}$)		60	—	—	
Base-Emitter On Voltage ($I_C = 300\text{ mA}$, $V_{CE} = 1.0\text{ V}$)	$V_{BE(on)}$	—	—	1.2	V _{dc}
Collector-Emitter Saturation Voltage ($I_C = 500\text{ mA}$, $I_B = 50\text{ mA}$)	$V_{CE(sat)}$	—	—	0.7	V _{dc}
SMALL-SIGNAL CHARACTERISTICS					
Output Capacitance ($V_{CB} = 10\text{ V}$, $I_E = 0$, $f = 1.0\text{ MHz}$)	C_{ob}	—	15	—	pF
Current-Gain — Bandwidth Product ($I_C = 10\text{ mA}$, $V_{CE} = 5.0\text{ V}$, $f = 100\text{ MHz}$)	f_T	—	210	—	MHz

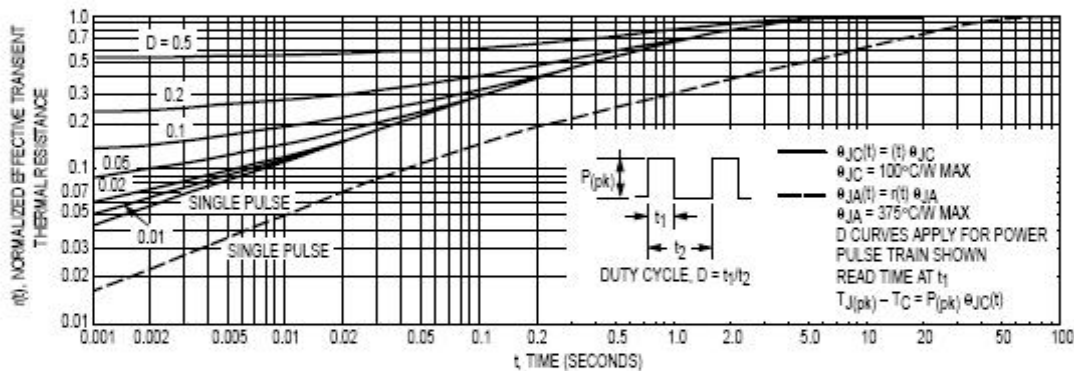


Figure 1. Thermal Response

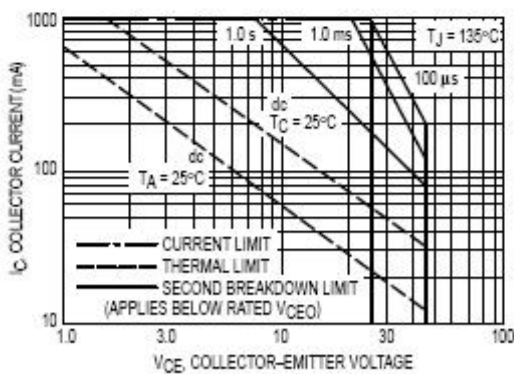


Figure 2. Active Region — Safe Operating Area

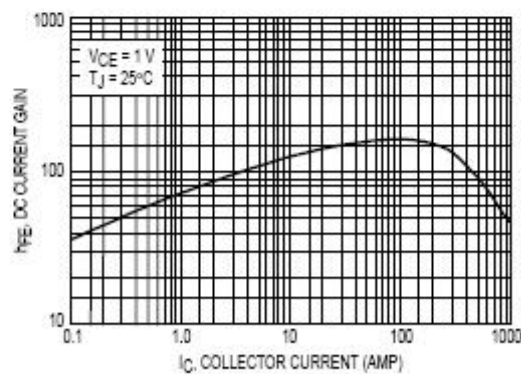


Figure 3. DC Current Gain

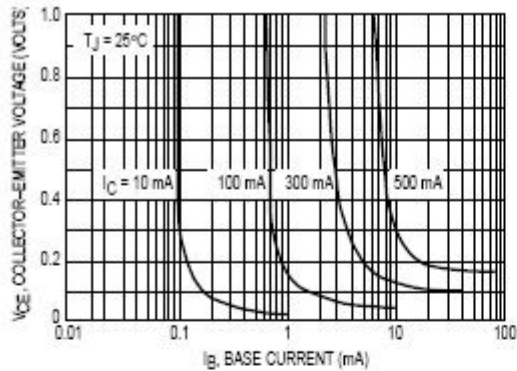


Figure 4. Saturation Region

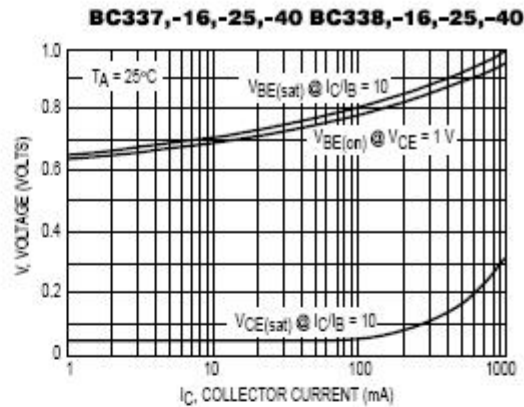


Figure 5. "On" Voltages

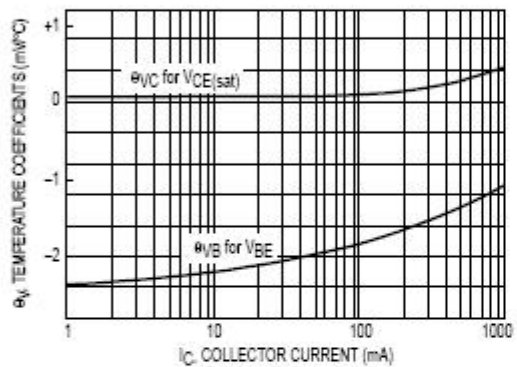


Figure 6. Temperature Coefficients

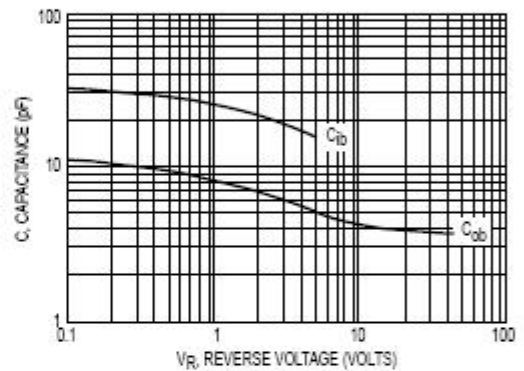
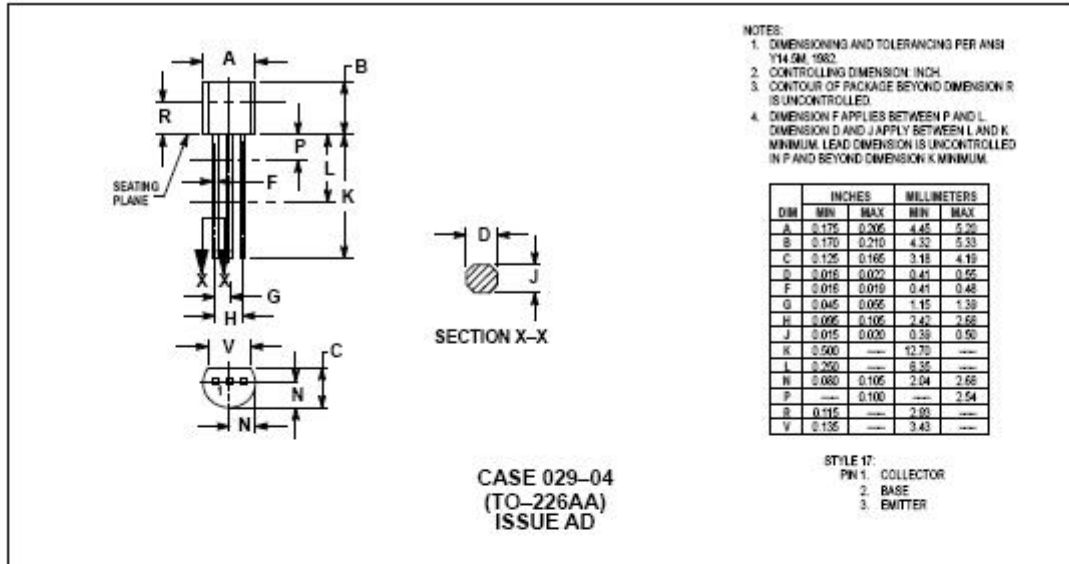


Figure 7. Capacitances

BC337,-16,-25,-40 BC338,-16,-25,-40

PACKAGE DIMENSIONS



Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters can and do vary in different applications. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

How to reach us:

USA/EUROPE: Motorola Literature Distribution,
P.O. Box 20912, Phoenix, Arizona 85036. 1-800-441-3447

JAPAN: Nippon Motorola Ltd.; Tatsumi-GPO-JLDC, Toshikatsu Otsuki,
5F Seibu-Butsuryu-Center, 3-14-2 Tatsumi Koto-Ku, Tokyo 135, Japan. 03-3521-8315

MPFAX: RMFAXD@email.sps.mot.com - TOUCHTONE (602) 244-6609
INTERNET: http://Design-NET.com

HONG KONG: Motorola Semiconductors H.K. Ltd.; 88 Tai Ping Industrial Park,
51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852-26629298



BC337/D



[Anhang 7] Datenblatt BC547B - Quelle: <http://www.alldatasheet.com>

MOTOROLA
SEMICONDUCTOR TECHNICAL DATA

Order this document
by BC546/D

Amplifier Transistors

NPN Silicon

BC546, B
BC547, A, B, C
BC548, A, B, C

CASE 29-04, STYLE 17
TO-92 (TO-226AA)

MAXIMUM RATINGS

Rating	Symbol	BC 546	BC 547	BC 548	Unit
Collector-Emitter Voltage	V_{CE0}	65	45	30	Vdc
Collector-Base Voltage	V_{CBO}	80	50	30	Vdc
Emitter-Base Voltage	V_{EBO}	6.0			Vdc
Collector Current — Continuous	I_C	100			mA dc
Total Device Dissipation @ $T_A = 25^\circ\text{C}$ Derate above 25°C	P_D	625	5.0		mW mW/°C
Total Device Dissipation @ $T_C = 25^\circ\text{C}$ Derate above 25°C	P_D	1.5	12		Watt mW/°C
Operating and Storage Junction Temperature Range	T_J, T_{stg}	-55 to +150			°C

THERMAL CHARACTERISTICS

Characteristic	Symbol	Max	Unit
Thermal Resistance, Junction to Ambient	$R_{\theta JA}$	200	°C/W
Thermal Resistance, Junction to Case	$R_{\theta JC}$	83.3	°C/W

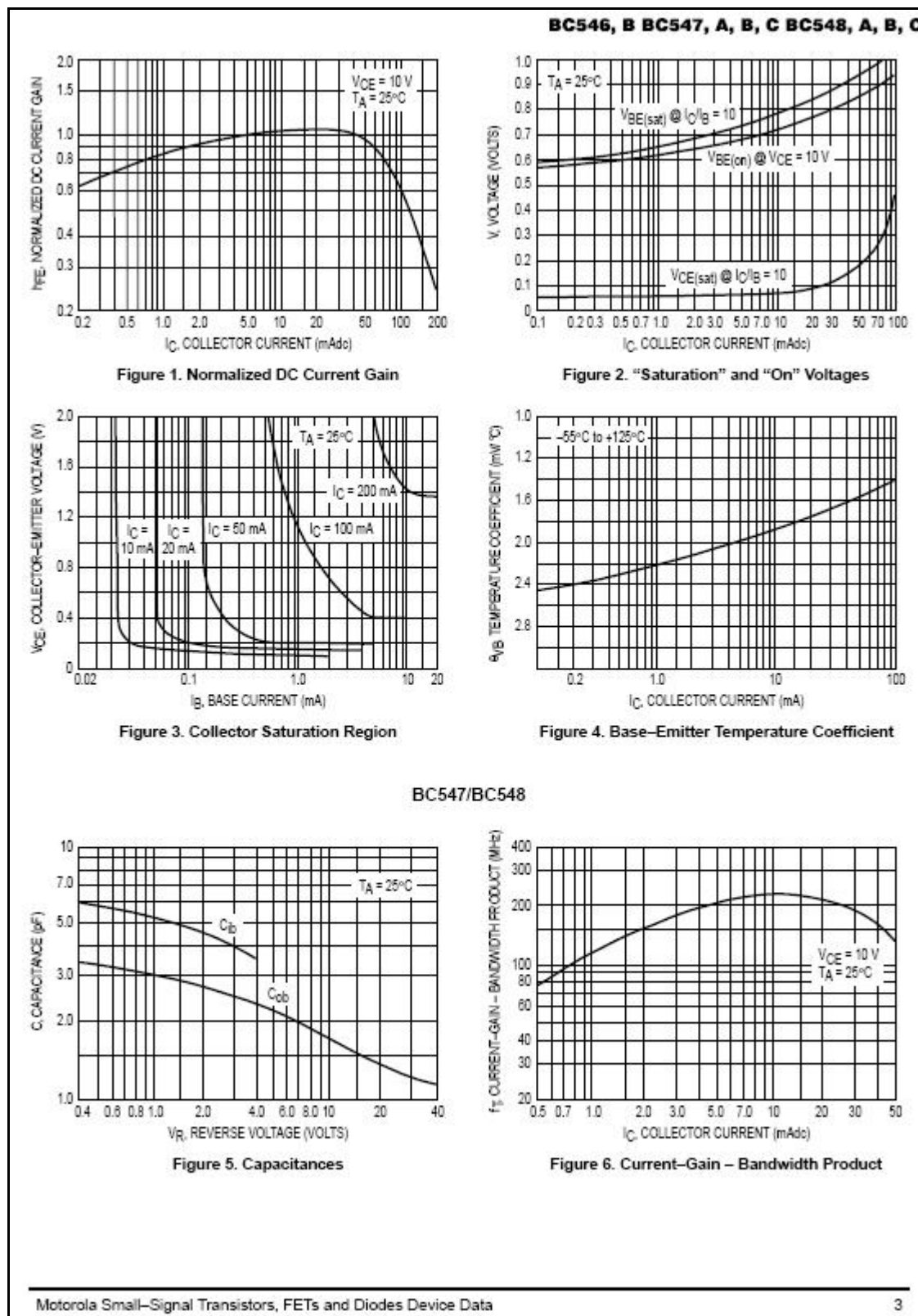
ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
OFF CHARACTERISTICS					
Collector-Emitter Breakdown Voltage ($I_C = 1.0\text{ mA}, I_B = 0$)	BC546 BC547 BC548	$V_{(BR)CE0}$	65 45 30	— — —	V
Collector-Base Breakdown Voltage ($I_C = 100\ \mu\text{A dc}$)	BC546 BC547 BC548	$V_{(BR)CBO}$	80 50 30	— — —	V
Emitter-Base Breakdown Voltage ($I_E = 10\ \mu\text{A}, I_C = 0$)	BC546 BC547 BC548	$V_{(BR)EBO}$	6.0 6.0 6.0	— — —	V
Collector Cutoff Current ($V_{CE} = 70\text{ V}, V_{BE} = 0$) ($V_{CE} = 50\text{ V}, V_{BE} = 0$) ($V_{CE} = 35\text{ V}, V_{BE} = 0$) ($V_{CE} = 30\text{ V}, T_A = 125^\circ\text{C}$)	BC546 BC547 BC548 BC546/547/548	I_{CES}	— — — —	0.2 0.2 0.2 —	nA μA

REV 1

© Motorola, Inc. 1996

BC546, B BC547, A, B, C BC548, A, B, C						
ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted) (Continued)						
Characteristic	Symbol	Min	Typ	Max	Unit	
ON CHARACTERISTICS						
DC Current Gain ($I_C = 10 \mu\text{A}$, $V_{CE} = 5.0 \text{ V}$)	BC547A/548A BC546B/547B/548B BC548C	hFE	— — —	90 150 270	— — —	—
($I_C = 2.0 \text{ mA}$, $V_{CE} = 5.0 \text{ V}$)	BC546 BC547 BC548 BC547A/548A BC546B/547B/548B BC547C/BC548C		110 110 110 110 200 420	— — — 180 290 520	450 800 800 220 450 800	
($I_C = 100 \text{ mA}$, $V_{CE} = 5.0 \text{ V}$)	BC547A/548A BC546B/547B/548B BC548C		— — —	120 180 300	— — —	
Collector–Emitter Saturation Voltage ($I_C = 10 \text{ mA}$, $I_B = 0.5 \text{ mA}$) ($I_C = 100 \text{ mA}$, $I_B = 5.0 \text{ mA}$) ($I_C = 10 \text{ mA}$, $I_B = \text{See Note 1}$)	$V_{CE(\text{sat})}$		— — —	0.09 0.2 0.3	0.25 0.6 0.6	V
Base–Emitter Saturation Voltage ($I_C = 10 \text{ mA}$, $I_B = 0.5 \text{ mA}$)	$V_{BE(\text{sat})}$		—	0.7	—	V
Base–Emitter On Voltage ($I_C = 2.0 \text{ mA}$, $V_{CE} = 5.0 \text{ V}$) ($I_C = 10 \text{ mA}$, $V_{CE} = 5.0 \text{ V}$)	$V_{BE(\text{on})}$		0.55 —	— —	0.7 0.77	V
SMALL–SIGNAL CHARACTERISTICS						
Current–Gain — Bandwidth Product ($I_C = 10 \text{ mA}$, $V_{CE} = 5.0 \text{ V}$, $f = 100 \text{ MHz}$)	BC546 BC547 BC548	f_T	150 150 150	300 300 300	— — —	MHz
Output Capacitance ($V_{CB} = 10 \text{ V}$, $I_C = 0$, $f = 1.0 \text{ MHz}$)		C_{obo}	—	1.7	4.5	pF
Input Capacitance ($V_{EB} = 0.5 \text{ V}$, $I_C = 0$, $f = 1.0 \text{ MHz}$)		C_{ibo}	—	10	—	pF
Small–Signal Current Gain ($I_C = 2.0 \text{ mA}$, $V_{CE} = 5.0 \text{ V}$, $f = 1.0 \text{ kHz}$)	BC546 BC547/548 BC547A/548A BC546B/547B/548B BC547C/548C	h_{fe}	125 125 125 240 450	— — 220 330 600	500 800 260 500 800	—
Noise Figure ($I_C = 0.2 \text{ mA}$, $V_{CE} = 5.0 \text{ V}$, $R_S = 2 \text{ k}\Omega$, $f = 1.0 \text{ kHz}$, $\Delta f = 200 \text{ Hz}$)	BC546 BC547 BC548	NF	— — —	2.0 2.0 2.0	10 10 10	dB
Note 1: I_B is value for which $I_C = 11 \text{ mA}$ at $V_{CE} = 1.0 \text{ V}$.						
2		Motorola Small–Signal Transistors, FETs and Diodes Device Data				



BC546, B BC547, A, B, C BC548, A, B, C

BC547/BC548

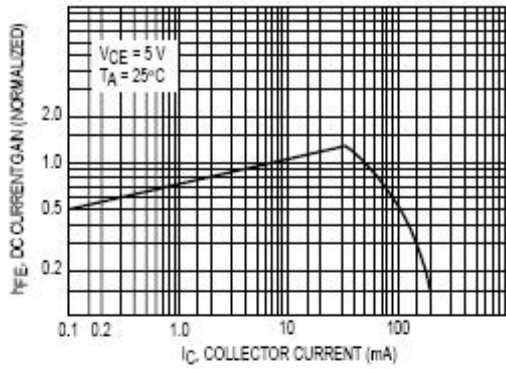


Figure 7. DC Current Gain

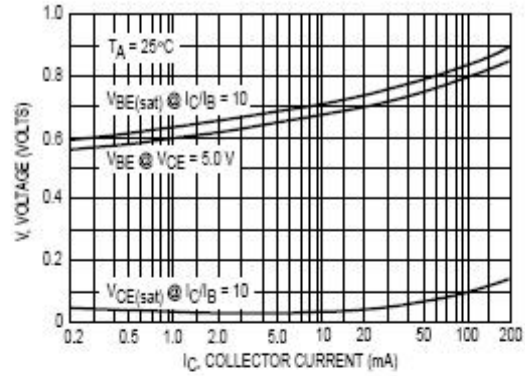


Figure 8. "On" Voltage

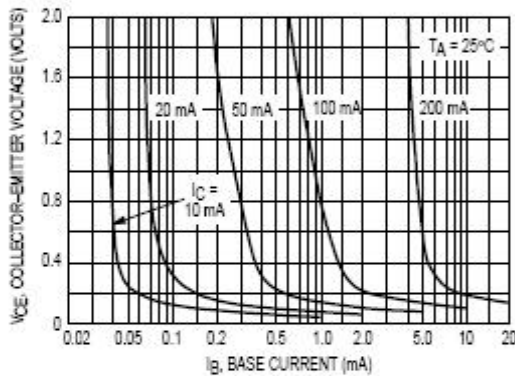


Figure 9. Collector Saturation Region

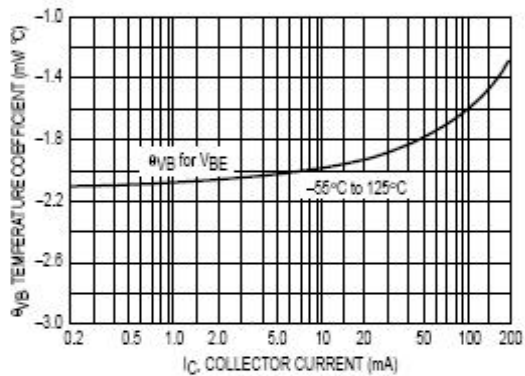


Figure 10. Base-Emitter Temperature Coefficient

BC546

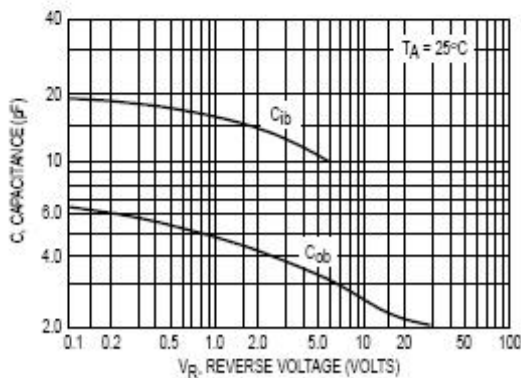


Figure 11. Capacitance

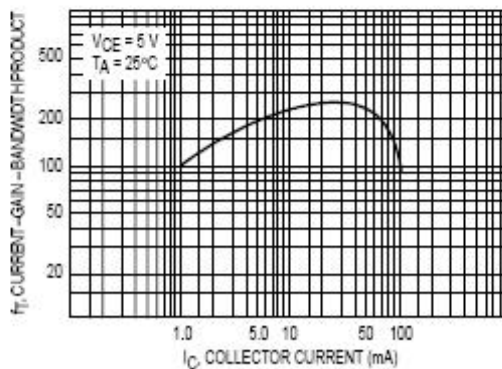
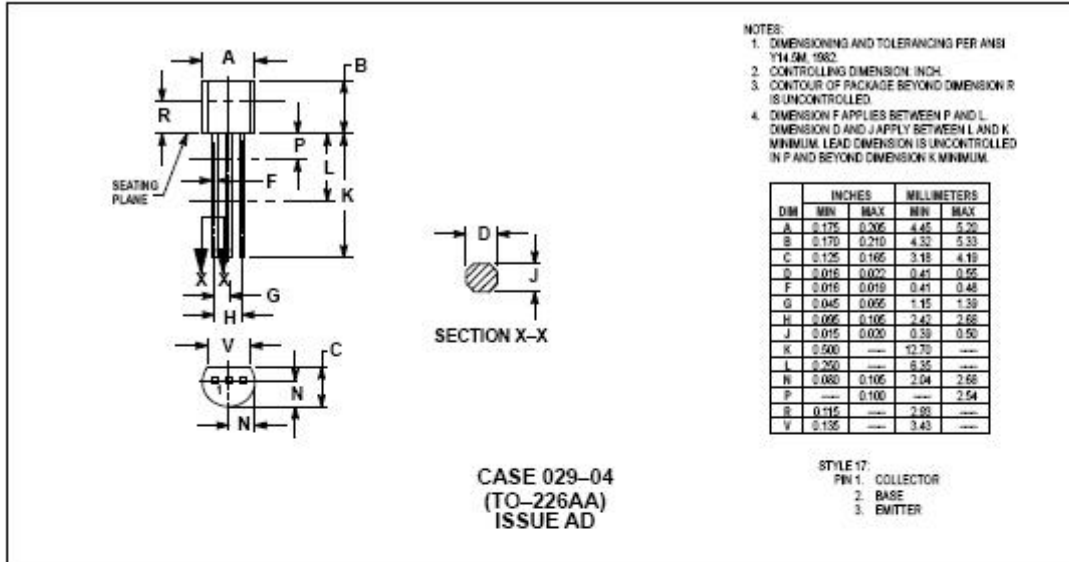


Figure 12. Current-Gain - Bandwidth Product

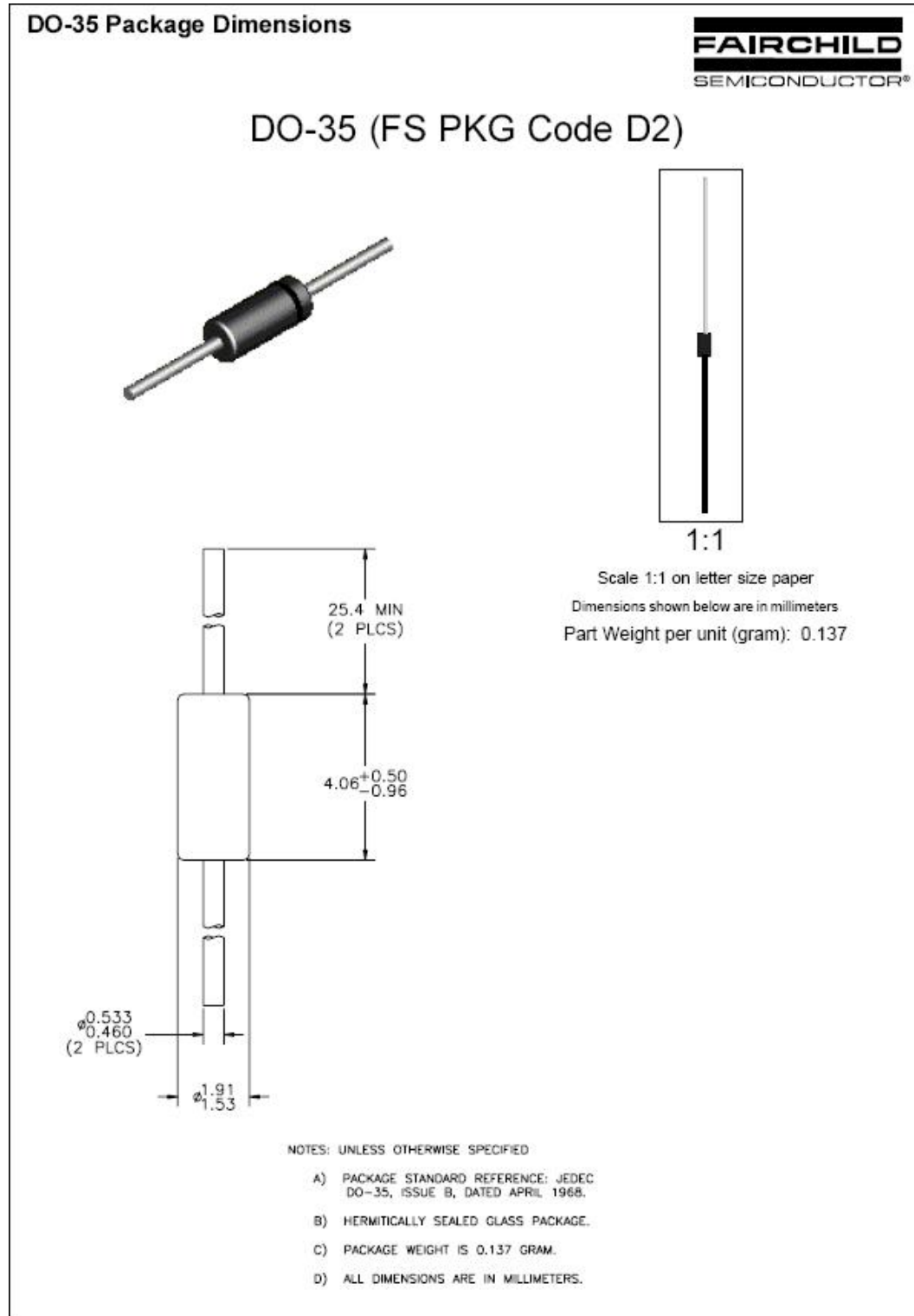
BC546, B BC547, A, B, C BC548, A, B, C

PACKAGE DIMENSIONS



[Anhang 8] Package DO35 - Quelle:

<http://www.fairchildsemi.com/products/discrete/packaging/do35.html>



Continuation of Infrared Diode Datasheet

Quelle: http://www2.produktinfo.conrad.com/datenblaetter/175000-199999/180580-da-01-en-ZenerdiodeZPY_5_6_V_BZX_85C.pdf

TEMIC

Semiconductors

TSHA620.


GaAlAs Infrared Emitting Diodes in $\phi 5$ mm (T-1 $\frac{3}{4}$) Package

Description

The TSHA620. series are high efficiency infrared emitting diodes in GaAlAs on GaAs technology, molded in a clear, untinted plastic package.

In comparison with the standard GaAs on GaAs technology these high intensity emitters feature about 70 % radiant power improvement.

In contrast to the TSHA520. series lead stand-offs are omitted.



94 8389

Features

- Extra high radiant power and radiant intensity
- Suitable for high pulse current operation
- Standard T-1 $\frac{3}{4}$ ($\phi 5$ mm) package
- Leads formed without stand-off
- Angle of half intensity $\phi = \pm 12^\circ$
- Peak wavelength $\lambda_p = 875$ nm
- High reliability
- Good spectral matching to Si photodetectors

Applications

Infrared remote control and free air transmission systems with high power and long transmission distance requirements in combination with PIN photodiodes or phototransistors.

Because of the reduced radiance absorption in glass at the wavelength of 875 nm, this emitter series is also suitable for systems with panes in the transmission range between emitter and detector.

Absolute Maximum Ratings

$T_{amb} = 25^\circ\text{C}$

Parameter	Test Conditions	Symbol	Value	Unit
Reverse Voltage		V_R	5	V
Forward Current		I_F	100	mA
Peak Forward Current	$t_p/T=0.5, t_p=100 \mu\text{s}$	I_{FM}	200	mA
Surge Forward Current	$t_p=100 \mu\text{s}$	I_{FSM}	2.5	A
Power Dissipation		P_V	210	mW
Junction Temperature		T_j	100	$^\circ\text{C}$
Operating Temperature Range		T_{amb}	-55...+100	$^\circ\text{C}$
Storage Temperature Range		T_{stg}	-55...+100	$^\circ\text{C}$
Soldering Temperature	$t \approx 5\text{sec}, 2 \text{mm from case}$	T_{sd}	260	$^\circ\text{C}$
Thermal Resistance Junction/Ambient		R_{thJA}	350	K/W

TELEFUNKEN Semiconductors
Rev. A2, 15-Jul-96

1 (6)

TSHA620.

TEMIC
Semiconductors

Basic Characteristics

$T_{amb} = 25^{\circ}\text{C}$

Parameter	Test Conditions	Symbol	Min	Typ	Max	Unit
Forward Voltage	$I_F = 100\text{ mA}$, $t_p = 20\text{ ms}$	V_F		1.5	1.8	V
Temp. Coefficient of V_F	$I_F = 100\text{ mA}$	TK_{V_F}		-1.6		mV/K
Reverse Current	$V_R = 5\text{ V}$	I_R			100	μA
Junction Capacitance	$V_R = 0\text{ V}$, $f = 1\text{ MHz}$, $E = 0$	C_j		20		pF
Temp. Coefficient of ϕ_e	$I_F = 20\text{ mA}$	TK_{ϕ_e}		-0.7		%/K
Angle of Half Intensity		ϕ		± 12		deg
Peak Wavelength	$I_F = 100\text{ mA}$	λ_p		875		nm
Spectral Bandwidth	$I_F = 100\text{ mA}$	$\Delta\lambda$		80		nm
Temp. Coefficient of λ_p	$I_F = 100\text{ mA}$	TK_{λ_p}		0.2		nm/K
Rise Time	$I_F = 100\text{ mA}$	t_r		600		ns
	$I_F = 1.5\text{ A}$	t_r		300		ns
Fall Time	$I_F = 100\text{ mA}$	t_f		600		ns
	$I_F = 1.5\text{ A}$	t_f		300		ns

Type Dedicated Characteristics

$T_{amb} = 25^{\circ}\text{C}$

Parameter	Test Conditions	Type	Symbol	Min	Typ	Max	Unit
Forward Voltage	$I_F = 1.5\text{ A}$, $t_p = 100\mu\text{s}$	TSHA6200/6201	V_F		3.2	4.9	V
		TSHA6202/6203	V_F		3.2	4.5	V
Radiant Intensity	$I_F = 100\text{ mA}$, $t_p = 20\text{ ms}$	TSHA6200	I_e	25	40		mW/sr
		TSHA6201	I_e	30	50		mW/sr
		TSHA6202	I_e	36	60		mW/sr
		TSHA6203	I_e	50	65		mW/sr
Radiant Intensity	$I_F = 1.5\text{ A}$, $t_p = 100\mu\text{s}$	TSHA6200	I_e	300	500		mW/sr
		TSHA6201	I_e	400	600		mW/sr
		TSHA6202	I_e	500	700		mW/sr
		TSHA6203	I_e	600	800		mW/sr
Radiant Power	$I_F = 100\text{ mA}$, $t_p = 20\text{ ms}$	TSHA6200	ϕ_e		22		mW
		TSHA6201	ϕ_e		23		mW
		TSHA6202	ϕ_e		24		mW
		TSHA6203	ϕ_e		25		mW

TEMIC
 Semiconductors

TSHA620.

Typical Characteristics ($T_{amb} = 25^{\circ}\text{C}$ unless otherwise specified)

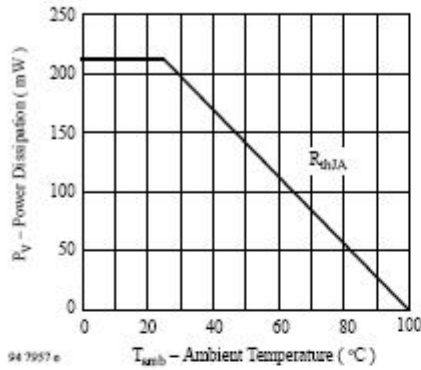


Figure 1. Power Dissipation vs. Ambient Temperature

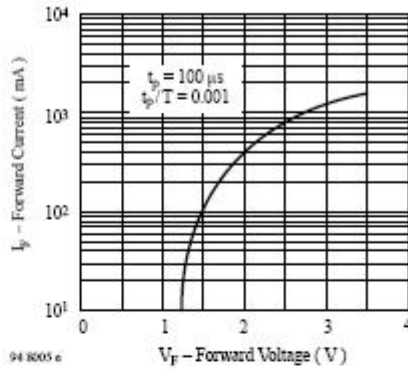


Figure 4. Forward Current vs. Forward Voltage

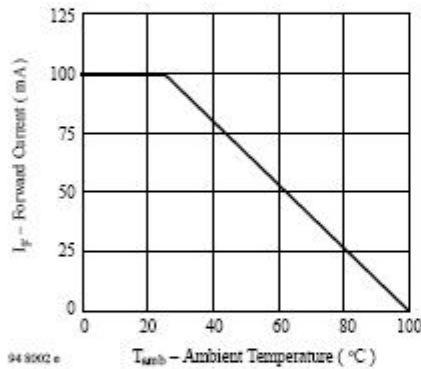


Figure 2. Forward Current vs. Ambient Temperature

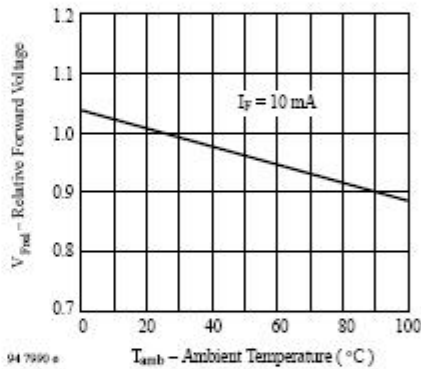


Figure 5. Relative Forward Voltage vs. Ambient Temperature

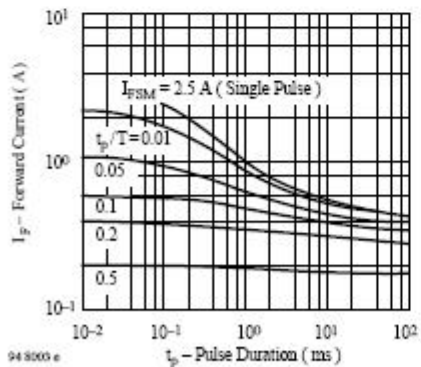


Figure 3. Pulse Forward Current vs. Pulse Duration

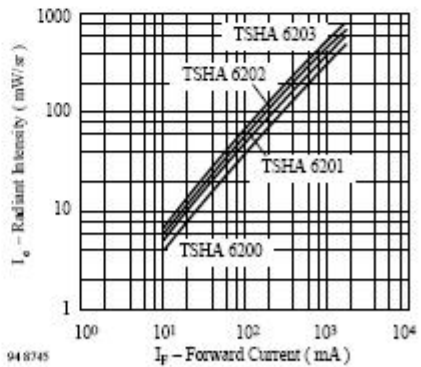


Figure 6. Radiant Intensity vs. Forward Current

TSHA620.

TEMIC
Semiconductors

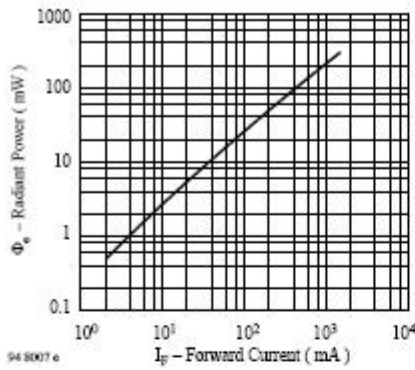


Figure 7. Radiant Power vs. Forward Current

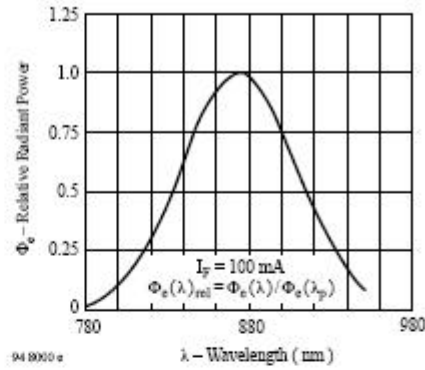


Figure 9. Relative Radiant Power vs. Wavelength

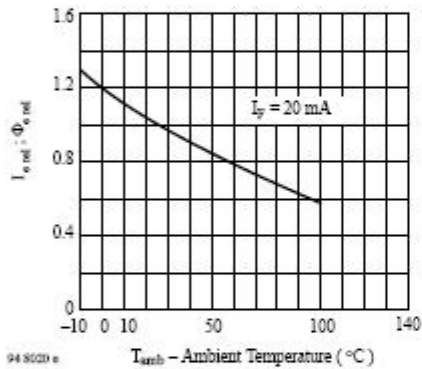


Figure 8. Rel. Radiant Intensity/Power vs. Ambient Temperature

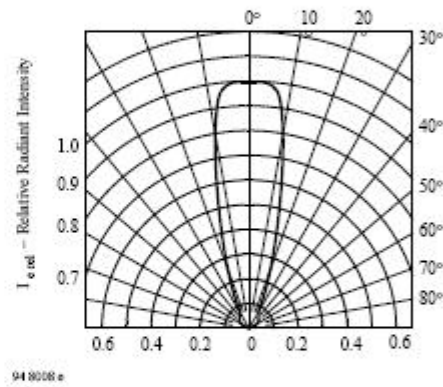
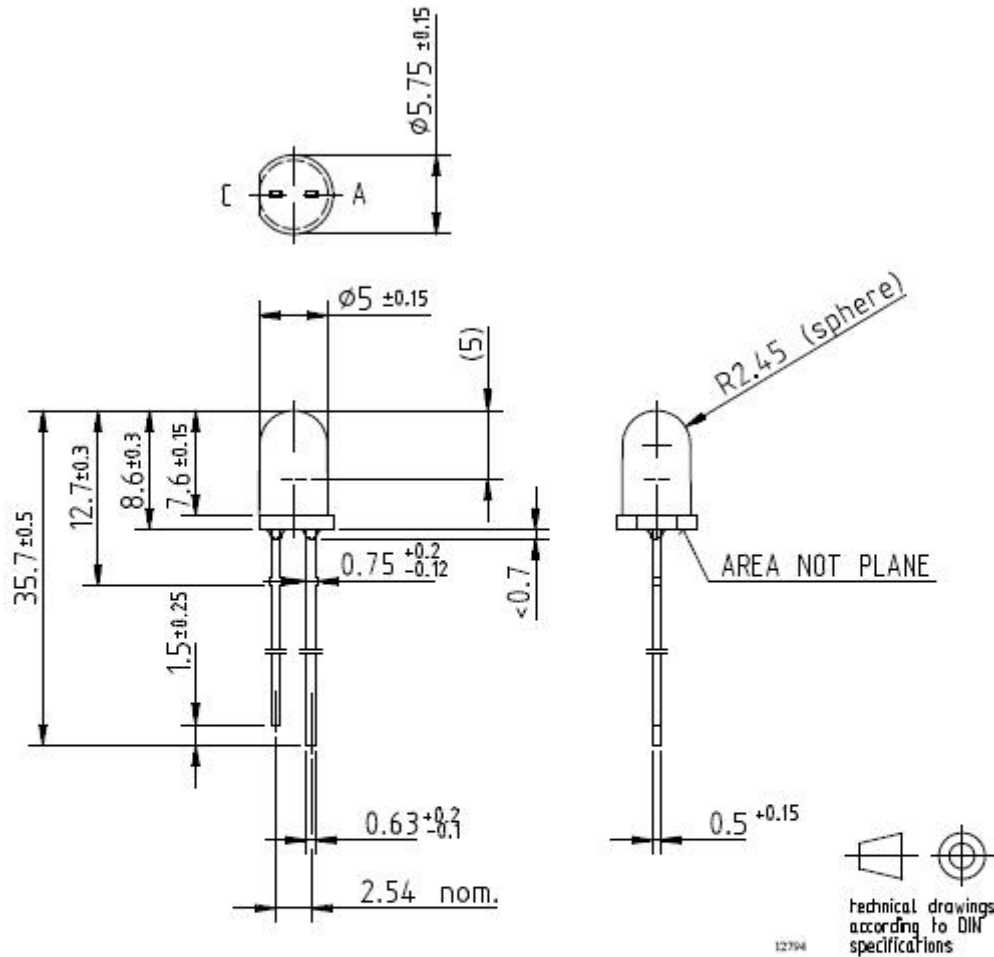


Figure 10. Relative Radiant Intensity vs. Angular Displacement

TEMIC
Semiconductors

TSHA620.

Dimensions in mm



TELEFUNKEN Semiconductors
Rev. A2, 15-Jul-96

5 (6)

TSHA620.

TEMIC
Semiconductors

Ozone Depleting Substances Policy Statement

It is the policy of **TEMIC TELEFUNKEN microelectronic GmbH** to

1. Meet all present and future national and international statutory requirements.
2. Regularly and continuously improve the performance of our products, processes, distribution and operating systems with respect to their impact on the health and safety of our employees and the public, as well as their impact on the environment.

It is particular concern to control or eliminate releases of those substances into the atmosphere which are known as ozone depleting substances (ODSs).

The Montreal Protocol (1987) and its London Amendments (1990) intend to severely restrict the use of ODSs and forbid their use within the next ten years. Various national and international initiatives are pressing for an earlier ban on these substances.

TEMIC TELEFUNKEN microelectronic GmbH semiconductor division has been able to use its policy of continuous improvements to eliminate the use of ODSs listed in the following documents.

1. Annex A, B and list of transitional substances of the Montreal Protocol and the London Amendments respectively
2. Class I and II ozone depleting substances in the Clean Air Act Amendments of 1990 by the Environmental Protection Agency (EPA) in the USA
3. Council Decision 88/540/EEC and 91/690/EEC Annex A, B and C (transitional substances) respectively.

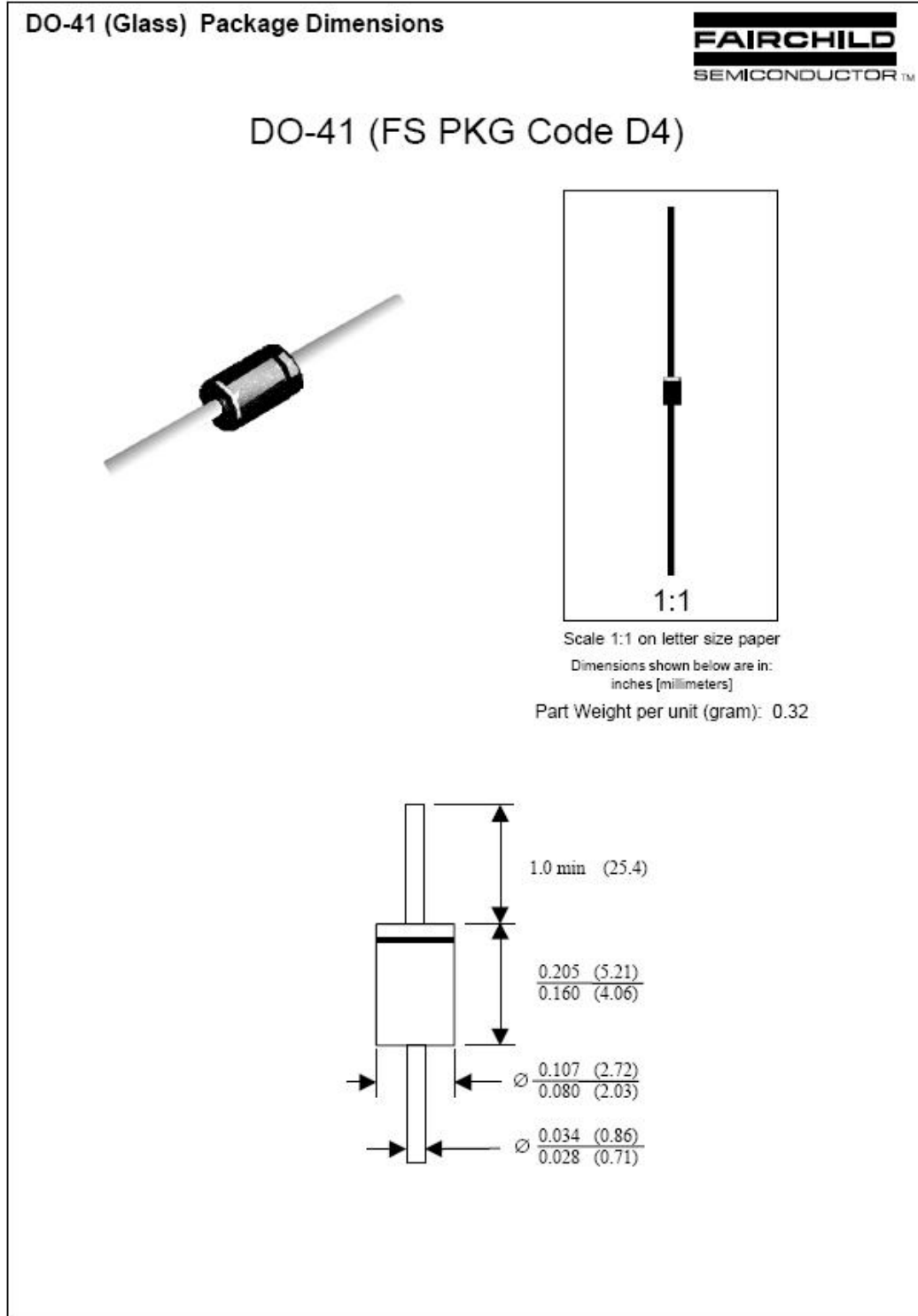
TEMIC can certify that our semiconductors are not manufactured with ozone depleting substances and do not contain such substances.

We reserve the right to make changes to improve technical design and may do so without further notice.
Parameters can vary in different applications. All operating parameters must be validated for each customer application by the customer. Should the buyer use **TEMIC** products for any unintended or unauthorized application, the buyer shall indemnify **TEMIC** against all claims, costs, damages, and expenses, arising out of, directly or indirectly, any claim of personal damage, injury or death associated with such unintended or unauthorized use.

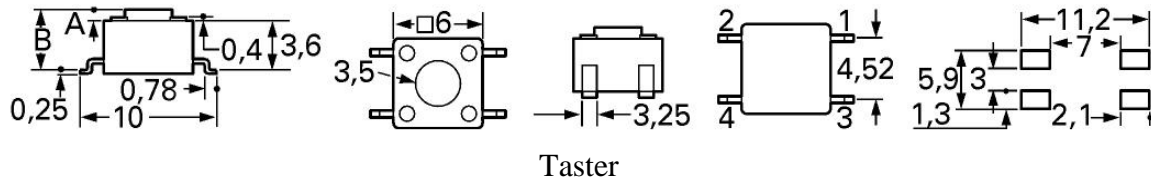
TEMIC TELEFUNKEN microelectronic GmbH, P.O.B. 3535, D-74025 Heilbronn, Germany
Telephone: 49 (0) 7131 67 2831, Fax number: 49 (0) 7131 67 2423

[Anhang 10] Package DO41

Quelle: http://www.fairchildsemi.com/products/discrete/pdf/do41glass_dim.pdf



[Anhang 11] Anreihbare Einzeltaster Typ Tyco Electronics/Alcoswitch FSM4JSMA
(G059.632):

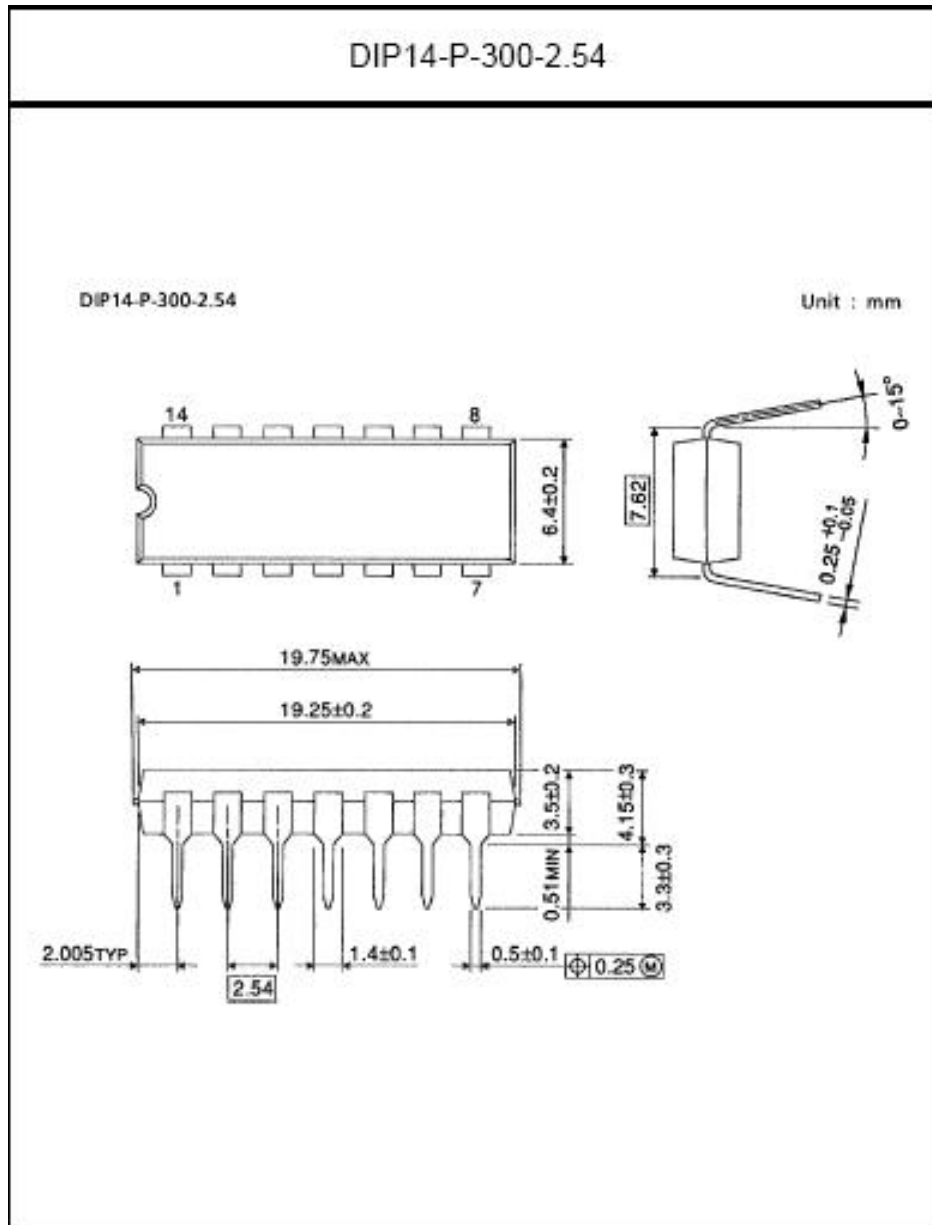


Taster

- Typ: 4-1437565-1
- besonders leichtgängig.
- Kontaktart: Schließer,
- Schaltleistung: 50 mA/12 V-,
- Durchgangswiderstand: 100 mOhm,
- Kontakte: Cu-Legierung versilbert,
- Anschlüsse: Cu-Legierung versilbert,
- Gehäuse: Polyamid, Lebensdauer: 100 Tsd. Schaltspiele
- Betriebstemperatur: -20 bis +70 °C
- Betätigungskraft: 160 g
- Maße: A: 1,4 mm B: 5,0 mm
- Tabellenangaben: Typ, Tastknopfhöhe (Maß A), Tasterhöhe (Maß B), Tastknopffarbe.

[Anhang 12] Package DIP14:

Quelle: http://www.semicon.toshiba.co.jp/eng/prd/linear/doc/pdf/bde0013a_7.pdf



7 Anhang Z

Im Anhang Z (Zeichnungen) befinden sich die Unterlagen zum Schaltplan (Seiten 128 - 130), das endgültige Layout (Seite 131) und der Zeichnungssatz der Phase Ausarbeiten (Seiten 132 - 138).



[Schaltplan Seite 1]



[Schaltplan Seite 2]

[Schaltplan Seite 3]



[Layout]



[Gruppenzeichnung 1]



[Gruppenzeichnung 2]



[Stückliste]



[Lageplan 1]



[Lageplan 2]



[Bohrplan]



[Layoutzeichnung]

8 Quellenverzeichnis

- ¹ <http://de.wikipedia.org/wiki/Leiterplatte>, 03.05.2006
- ² http://de.wikipedia.org/wiki/Through_Hole_Technology, 03.05.2006
- ³ In Auszügen: http://de.wikipedia.org/wiki/Surface_Mounted_Device, 03.05.2006
- ⁴ In Auszügen: http://de.wikipedia.org/wiki/Surface_Mounted_Device, 03.05.2006
- ⁵ In Auszügen: <http://de.wikipedia.org/wiki/Chip-Bauform>, 03.05.2006
- ⁶ http://de.wikipedia.org/wiki/Metal_Electrode_Faces, 03.05.2006
- ⁷ <http://de.wikipedia.org/wiki/DIL>, 03.05.2006
- ⁸ <http://de.wikipedia.org/wiki/SO-Bauform>, 03.05.2006
- ⁹ http://de.wikipedia.org/wiki/Single_In-Line_Package, 06.05.2006
- ¹⁰ http://de.wikipedia.org/wiki/Ball_Grid_Array, 03.05.2006
- ¹¹ In Auszügen: <http://de.wikipedia.org/wiki/L%C3%B6ten>, 03.05.2006
- ¹² <http://de.wikipedia.org/wiki/L%C3%B6tkolben>, 03.05.2006
- ¹³ <http://de.wikipedia.org/wiki/Tauchl%C3%B6ten>, 03.05.2006
- ¹⁴ <http://de.wikipedia.org/wiki/Reflow-L%C3%B6ten>, 03.05.2006
- ¹⁵ <http://de.wikipedia.org/wiki/Schwalll%C3%B6ten>, 03.05.2006
- ¹⁶ <http://de.wikipedia.org/wiki/Vakuuml%C3%B6ten>, 03.05.2006
- ¹⁷ <http://de.wikipedia.org/wiki/Leiterplatte>, 03.05.2006
- ¹⁸ <http://de.wikipedia.org/wiki/IP-Schutzklasse>, 05.05.2006
- ¹⁹ Sofern nicht anders angegeben <http://www.buerklin.de>, 19.06.2006
- ²⁰ Bezeichnung, Abmessungen und Preise <http://www.conrad.de>, 19.06.2006
- ²¹ Bezeichnung, Abmessungen und Preise <http://www.conrad.de>, 19.06.2006
- ²² Handelsbezeichnungen, Abmessungen und Preise: <http://www.conrad.de>, 20.06.2006
- ²³ Quelle der Diagramme: Tabellen Kommunikationselektronik - Westermann Tabellenbuch